



HAL
open science

Un convertisseur sigma-delta passif-actif bi-modes

Philippe Benabes, Sylvie Guessab

► **To cite this version:**

Philippe Benabes, Sylvie Guessab. Un convertisseur sigma-delta passif-actif bi-modes. 8ème Colloque sur le Traitement Analogique de l'Information, du Signal et ses applications, Oct 2007, Lyon, France. pp. 29-32. hal-00223007v1

HAL Id: hal-00223007

<https://centralesupelec.hal.science/hal-00223007v1>

Submitted on 29 Jan 2008 (v1), last revised 31 Jan 2008 (v2)

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Un convertisseur Sigma-delta mixte passif-actif en technologie 0.35µm

Philippe BENABES, Sylvie GUESSAB
Département des signaux et systèmes
électroniques
SUPELEC
F91192 GIF/YVETTE, France

Sylvie GUESSAB
Département des signaux et systèmes
électroniques
SUPELEC
F91192 GIF/YVETTE, France

E-mail : . philippe.benabes@supelec.fr, sylvie.guessab@supelec.fr

Résumé

Ce papier présente la conception d'un convertisseur sigma delta mixte passif et actif dans une technologie 0.35 µm AMS standard. En mode passif, le modulateur analogique utilise un filtre à capacités commutées passif et le seul élément actif est le comparateur. En mode actif, un rebouclage supplémentaire, à base d'un filtre passe-bas amplificateur est rajouté. Ce rebouclage supplémentaire améliore la linéarité du convertisseur et réduit le bruit de quantification. La résolution théorique est améliorée de 6 bits.

1. Introduction

Les convertisseurs analogique-numérique de type sigma-delta ($\Sigma\Delta$) passifs [1, 2] permettent la réalisation de convertisseurs analogique-numérique (C.A.N) à très faible consommation. Ils se composent d'un filtre passif passe bas à capacités commutées et d'un comparateur travaillant en convertisseur analogique-numérique 1 bit. Comme le filtre passif a un gain inférieur ou égal à l'unité à toutes les fréquences, le signal d'entrée du comparateur est très faible, comparé à celui obtenu dans le cas d'un filtre actif, et la conception du comparateur devient critique

L'avantage principal de cette approche est la très faible consommation de la partie analogique du convertisseur. En revanche, du fait du gain non infini à la fréquence nulle du filtre, la fonction de transfert DC du convertisseur n'est pas plate mais présente des non linéarités importantes aux extrémités. Pour des applications très faible fréquence, comme par exemple la mesure d'une tension d'alimentation, cette non linéarité n'est pas un problème si une correction numérique est réalisable.

La nouvelle topologie mixte présentée dans ce papier est un bon compromis entre consommation et précision, puisque le modulateur peut fonctionner soit en mode passif avec une consommation ultra faible et une résolution modérée soit en mode actif avec un amplificateur passe-bas actif. Grâce à la présence de cet amplificateur, la résolution peut atteindre théoriquement 15 bits et permettre par exemple la calibration du convertisseur lorsque celui-ci se trouve en mode passif.

Nous allons développer dans ce papier des considérations de haut niveau (II), des résultats de simulation (III). Le circuit est ensuite décrit au niveau transistor (IV). Enfin des résultats de mesures (V) viennent corroborer la théorie.

2. Structures de haut niveau

2.1 Le modulateur passif

Le filtre du modulateur passif doit être calculé de manière que son gain n'excède jamais 0 dB quelle que soit la fréquence. Le gain de boucle est en fait réalisé au niveau de l'ADC

La conception du filtre passif a déjà été présentée dans [3]. La fonction de transfert du filtre d'un modulateur à temps discret peut s'écrire :

$$\left\{ \begin{array}{l} F(z) = \prod_{k=1}^{order} (1 + f_k(z)) - 1 \\ \text{avec} \\ f_k(z) = c_k \frac{z^{-1}}{1 - z^{-1}} \end{array} \right. \quad (1)$$

Nous introduisons le gain fini des intégrateurs au moyen de leurs facteurs de qualité (Q est l'inverse de la fréquence de coupure) :

$$f_k(z) = c_k \frac{Q_k}{Q_k + 1} \frac{z^{-1}}{1 - \frac{Q_k}{Q_k + 1} z^{-1}} \quad (2)$$

Le gain du filtre global est ensuite ajusté de manière à être égal à 0 dB pour une fréquence nulle. Nous aboutissons à:

$$F(z) = \frac{\prod_{j=1}^n (1 + c_j \frac{Q_j}{Q_j + 1} \frac{z^{-1}}{1 - \frac{Q_j}{Q_j + 1} z^{-1}}) - 1}{\prod_{j=1}^n (1 + c_j Q_j) - 1} \quad (3)$$

Les formules (1) à (3) présentent deux degrés de liberté : les coefficients Q_j et c_j . Les coefficients c_j pondèrent l'effet de chaque pôle alors que les coefficients Q_j déterminent la fréquence de coupure des filtres. Les coefficients c_j peuvent être égaux entre eux, alors que les coefficients Q_j doivent être suffisamment différents de manière à ce que le filtre soit réalisable avec uniquement des composants passifs. Les travaux précédents [3] ont montré qu'un bon compromis pour une structure du deuxième ordre est :

$$c_j = 0.5, Q_1 = 10, \text{ and } Q_2 = 50 \quad (4)$$

Avec ces valeurs, la résolution théorique pour un OSR de 100 est de l'ordre de 9 bits. L'entrée du comparateur est de l'ordre de 10 mV, compatible avec une électronique faible consommation.

2.2 Principe de la topologie active

Le principe de la topologie active est représenté sur la figure 1.

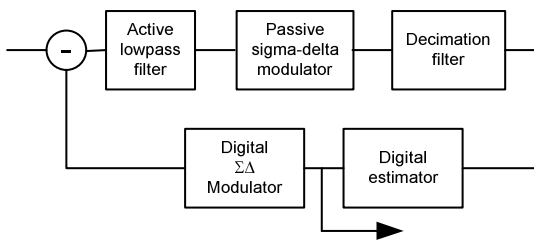


Figure 1. topologie active simple

L'étage analogique du convertisseur se compose d'un amplificateur passe-bas et d'un modulateur passif. L'étage numérique se compose d'un filtre de décimation, d'un estimateur, et d'un modulateur sigma-delta numérique-analogique. L'estimateur prévoit la valeur du signal d'entrée à partir des échantillons précédents. Celui-ci peut être un simple intégrateur (avec un gain inférieur à 1 de manière à assurer la stabilité de la boucle). Après avoir été transformé par le modulateur sigma-delta numérique, le signal prédit est soustrait du signal d'entrée. Le filtre passe-bas en entrée élimine en partie le bruit introduit par le sigma-delta numérique. Le délai introduit par le filtre de décimation augmente le temps de réponse de la boucle. Par conséquent, cette topologie n'est adaptée que pour des signaux lents. Afin d'obtenir un temps de réponse plus rapide, un nouveau traitement est proposé (figure 2).

Il se compose de :

- un filtre classique de décimation (A) and (B) ;
- un prédicteur (C) et un modulateur $\Sigma\Delta$ (D) ;
- le modèle digital de la partie analogique (E) et (F).

Le filtre de décimation a été divisé en 2 étages. Le premier étage décime le signal d'un facteur 16. Ce filtrage permet de réduire le bruit de quantification sans introduire un retard trop important. Du fait de ce délai, un prédicteur doit être introduit en contre-réaction. Ce prédicteur donne une estimation du signal d'entrée à l'instant courant, ce qui fait que l'entrée du filtre passe-bas reste au niveau de la demi-échelle. Les éléments (E) et (F) permettent d'augmenter la vitesse et la bande passante du

convertisseur. Ils doivent être appariés aussi bien que possible avec l'étage analogique.

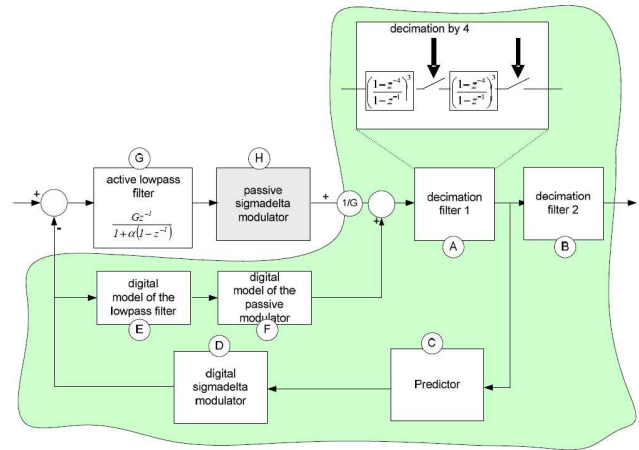


Figure 2. Topologie active rapide

3. Résultats de simulation à haut niveau

3.1 Linéarité et résolution

Nous avons effectué dans un premier temps des simulations avec une entrée continue de manière à évaluer la linéarité et la résolution du convertisseur. Deux configurations ont été comparées :

- en mode passif : le modulateur passif tout seul suivi des filtres de décimation 1 and 2 (A et B sur la figure 2) ;
- en mode actif : le gain du filtre actif d'entrée est choisi égal à 8 et sa fréquence de coupure à 1/40. Les éléments E et F sont supposés parfaitement appariés au modulateur passif. Le prédicteur C est un interpolateur linéaire.

Dans les deux cas, le taux de sur-échantillonnage est de 256 et la fréquence d'échantillonnage est de 8 Mhz.

La figure 3 montre la sortie du convertisseur en fonction du temps en mode passif et actif. Le signal d'entrée est choisi constant égal à -0.5 (pour une pleine échelle normalisée entre -1 et 1).

La valeur de sortie en mode passif est de -0.4972 (l'erreur de non linéarité est équivalente à une résolution de 9.5 bits) alors qu'elle vaut -0.499998 en mode actif (l'erreur de non linéarité est équivalente à une résolution de 16.6 bits). La précision peut se calculer à partir de la puissance de bruit résiduel. Elle est de l'ordre de 12.3 bits en mode passif et de 15.5 bits en mode actif. La linéarité est améliorée de 7 bits alors que la précision est améliorée de 3 bits

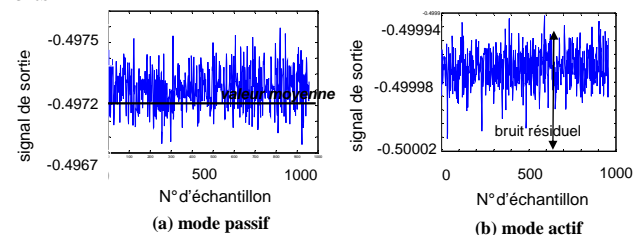


Figure 3. Réponses transitoires pour une entrée statique de - 0.5

La figure 4 montre l'erreur de non linéarité en fonction de la valeur DC de l'entrée (différence entre le niveau d'entrée et la valeur moyennée de la sortie). La plaine échelle se situe entre -1 et +1. La figure 4(a) a été obtenue après une correction de gain du premier ordre. Nous pouvons vérifier que le modulateur est fortement non linéaire pour des valeurs extrêmes. La figure 4(b) montre le bénéfice de la topologie amplifiée. Elle a été obtenue sans post correction. Nous pouvons ainsi réaliser une conversion rail à rail avec une fonction de transfert DC fortement linéaire. La non linéarité reste inférieure à 2×10^{-5} sur toute l'étendue d'entrée équivalent à une résolution de 16.6 bits, le bruit de quantification devient la source d'erreur prédominante.

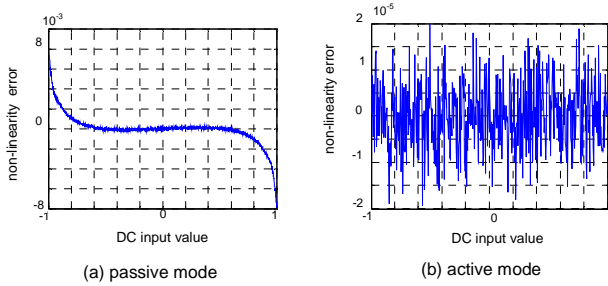


Figure 4. Erreurs de non-linéarité en modes passif et actifs.

3.2 Largeur de bande

Nous avons ensuite effectué des simulations avec un signal d'entrée sinusoïdal de manière à comparer la largeur de bande des topologies actives simples et rapides. La figure 5 montre la réponse transitoire des deux topologies avec un signal d'entrée de 20 KHz pour une fréquence d'échantillonnage de 10 Mhz. Le gain est inférieur à 0.3 pour la topologie simple alors qu'il est de 0.8 pour la topologie rapide. Nous pouvons remarquer que la largeur de bande devient compatible avec des applications audio.

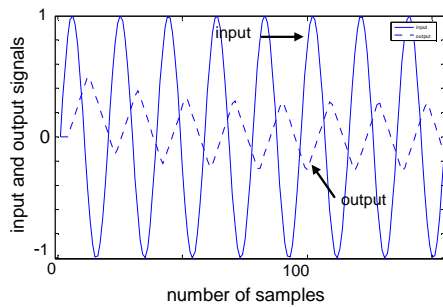


Figure 5. Réponses transitoires avec une entrée sinusoïdale ($f_{input} = 20\text{kHz}$; $f_{sampling} = 10\text{MHz}$)

4. Implémentation physique

4.1 Conception de l'étage analogique

La conception du modulateur a déjà été présentée dans l'article [4]. Nous donnons ici des éléments sur la conception du filtre actif.

Le but du filtre actif est de donner du gain dans la boucle et de diminuer le bruit du modulateur $\Sigma\Delta$ numérique dans le rebouclage. Il a été conçu comme un filtre à

capacités commutées du premier ordre à entrée différentielle. Sa fonction de transfert s'exprime :

$$\frac{S}{(e_1 - e_2)} = -\frac{C_1}{C_2} \frac{(e_1 - e_2)z^{-1}}{\left(\frac{C_3}{C_2} + \left(1 - \frac{C_3}{C_2}\right)z^{-1}\right)} \quad (5)$$

Le circuit correspondant est représenté sur la figure 6. Le signal d'entrée est appliqué à l'entrée e_1 , et le rebouclage à l'entrée e_2 . Comme le signal rebouclé est un signal binaire, l'entrée e_2 est connectée soit à la masse, soit au VDD par un jeu d'interrupteurs adéquat. La masse représentée sur la figure 6 est une masse virtuelle ($VDD/2$), produite par un diviseur de tension à capacités commutées.

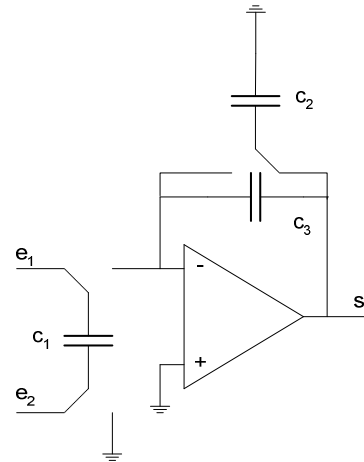


Figure 6. Filtre actif d'entrée à capacités commutées.

Cet amplificateur peut être contourné en mode passif. Dans ce cas, les sources de polarisation de l'ampli sont éteintes, de manière à réduire la consommation globale.

4.2 Conception physique du circuit

L'étage numérique (A à F dans la figure 2) a été décrit en VHDL et implémenté sur une carte à base de circuit programmable ; les étages analogiques (G et H) ont été intégrés en technologie $0.35\mu\text{m}$. Le circuit se compose :

- du comparateur ;
- d'un filtre à capacités commutées passif ;
- d'un filtre à capacités commutées actif ;
- d'un générateur de masse virtuelle à $VDD/2$;
- d'un étage de commande des interrupteurs (à base de cellules numériques standard).

Tous ces éléments ont été dupliqués pour des raisons de test. Le dessin du circuit complet est représenté sur la figure 7.

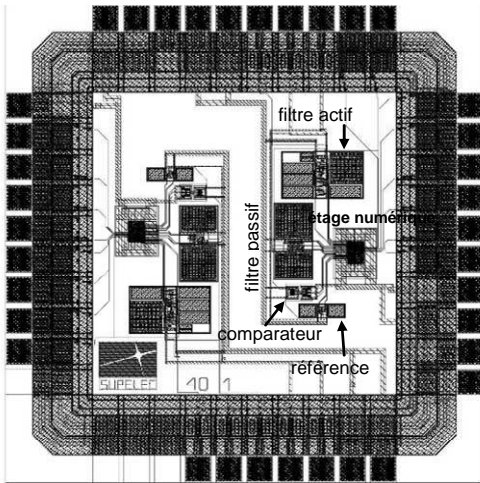


Figure 7. Chip layout

5. Résultats de mesures

5.1 Linéarité

Les configurations testées sont les mêmes que celles décrites dans la partie III.A. La tension d'alimentation est de 3.3 V. La précision de la mesure de la tension d'entrée est de l'ordre de 0.1%. En mode actif, les étages E et F ont été calibrés de manière à être appariés aux étages analogiques G et H.

La figure 8 donne l'erreur de non-linéarité en fonction de la valeur de l'entrée (normalisée entre 0 et 1), en modes passif et actif. Les erreurs de gain et d'offset ont déjà été compensées. En mode passif, l'erreur de non-linéarité est inférieure à 1.5×10^{-3} dans la plage d'entrée [0.1 ; 0.9], ce qui correspond à une résolution équivalente de 9.3 bits. En mode actif, cette erreur est inférieure à 4×10^{-4} dans la plage [0.1 ; 0.7], ce qui correspond à une résolution équivalente à 11.3 bits. La non linéarité augmente de façon drastique au-delà de 0.7.

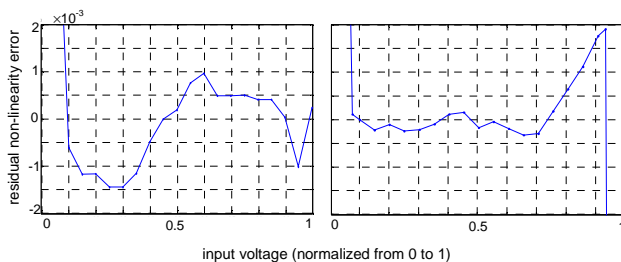


Figure 8. Mesure de la non-linéarité

Ainsi, le linéarité est celle attendue en mode passif, mais les résultats en mode actif ne sont pas aussi bons que prévu. Des simulations complémentaires de haut niveau (non présentées ici), et au niveau transistor ont pu montrer que le fautif est le filtre actif d'entrée. Son taux de réjection de mode commun n'est pas suffisant (seulement 32 dB), et le mode commun est fortement non linéaire. La forme de la réponse en mode commun de cet ampli se retrouve d'ailleurs dans la caractéristique DC du convertisseur.

5.2 Précision

La précision est calculée à partir du bruit résiduel à la sortie pour une entrée continue. Elle est de 9.6 bits en mode passif et de 12.3 bits en mode actif. La précision en mode passif est plus faible que celle obtenue par simulation à haut niveau. Les raisons sont les suivantes :

- effets d'injection de charge ;
- sensibilité au bruit électronique dans la partie analogique (due à la faible amplitude de l'entrée du comparateur).

Nous retrouvons cependant 2.5 bits de différence entre les modes passif et actif (pour 3 bits attendus).

5.3 Largeur de bande

La largeur de bande mesurée est de l'ordre de 15 KHz, ce qui est compatible avec des applications audio.

5.4 Consommation

La consommation mesurée pour une fréquence d'échantillonnage de 1MHz est de 1.4 μ A en mode passif et de 173 μ A en mode actif. La consommation du filtre numérique n'a pas pu être mesurée

6. Conclusions

Cet article a montré la validité et aussi les limitations d'une approche à base de modulateurs sigma-delta passifs. Une résolution expérimentale de 9 bits est atteinte en mode passif après une correction de gain et d'offset. La consommation de la partie analogique est inférieure à 2 μ A pour une fréquence d'échantillonnage de 1 Mhz. L'addition d'un amplificateur actif devrait permettre d'atteindre une résolution de 14 bits. Les résultats expérimentaux montrent une résolution de 10.7 bits, mais elle devrait pouvoir être largement améliorée par une réétude de l'amplificateur d'entrée avec une plus forte réjection du mode commun.

7. Remerciements

Ce travail est supporté par Texas Instruments Inc.

Références

- [1] F.Chen, B.Leung, "A 0.25 mW low-pass passive sigma-delta modulator with built-in mixer for a 10 Mhz IF Input", IEEE Solid-State Circuits, **SC-32**, pp. 774-782, 1996.
- [2] T. Song, S. Yan, "A low power 1.1 MHz CMOS continuous-time delta-sigma modulator with active-passive loop filters", IEEE International Symposium on Circuits and Systems, May 2006.
- [3] P. Benabes., R. Kielbasa, « Passive sigma-delta converters design », IEEE Instrumentation and Measurement Technology, vol 1, pp. 469-474, Anchorage (Alaska), 21-23 May 2002.
- [4] S.Guessab, P.Benabes, R.Kielbasa, "A passive delta-sigma modulator for low-power applications", IEEE International Midwest Symposium on Circuits and Systems, vol III, pp. 295-298, Hiroshima (Japan), July 25-28, 2004.