



Analyse et compensation des imperfections des blocs élémentaires d'un convertisseur modulateur sigma-delta à temps continu en technologie AsGa

Emilie Avignon, Sylvie Guessab, Richard Kielbasa, Jean-Marc Guebhard

► To cite this version:

Emilie Avignon, Sylvie Guessab, Richard Kielbasa, Jean-Marc Guebhard. Analyse et compensation des imperfections des blocs élémentaires d'un convertisseur modulateur sigma-delta à temps continu en technologie AsGa. Traitement Analogique de l'Information, du Signal et ses Applications, Oct 2006, Strasbourg, France. pp. 11-14. <hal-00258582>

HAL Id: hal-00258582

<https://centralesupelec.hal.science/hal-00258582v1>

Submitted on 22 Feb 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



HAL Authorization

Analyse et compensation des imperfections des blocs élémentaires d'un convertisseur modulateur sigma-delta à temps continu en technologie AsGa

Emilie Avignon, Sylvie Guessab, Richard Kielbasa
Département Signaux et Systèmes Électroniques
SUPELEC, Plateau du Moulon,
3 rue Joliot-Curie
91192 Gif-sur-Yvette, France

Jean-Marc Guebhard
CEA/DIF
Bruyères le Châtel, France

Email : Emilie.Avignon@supelec.fr, Sylvie.Guessab@supelec.fr,
Richard.Kielbasa@supelec.fr

Résumé

La conception des modulateurs sigma-delta passe bande à temps continu, dédiés à la conversion analogique-numérique de signaux radiofréquences, se heurte à de nombreuses difficultés car les technologies sont utilisées aux limites de leurs possibilités. Les imperfections résultant de la réalisation au niveau circuit des blocs fonctionnels idéaux sont susceptibles de dégrader considérablement les performances. Cet article analyse l'influence de deux imperfections (les termes passe-bas des résonateurs à temps continus et la bande passante du sommateur) et propose des solutions de compensation génériques. A titre d'illustration, la démarche est mise en oeuvre pour la conception d'un modulateur d'ordre 6 prévu pour fonctionner à une fréquence de sur-échantillonnage de 3 GHz, pour une fréquence centrale de 750 MHz et une largeur de bande d'environ 10 MHz. Des résultats obtenus par simulation au niveau transistor en technologie AsGa HEMT 0.2, sont présentés.

1. Introduction

Dans les architectures des récepteurs radiofréquences imaginés pour les télécommunications du futur, on cherche actuellement à réduire, voire à supprimer les étages de changement de fréquence afin de numériser le signal au plus près de l'antenne. Cette simplification de structure requiert des convertisseurs analogique-numérique capables de fonctionner à des fréquences de travail plus élevées sans perte de résolution. Parmi les diverses solutions possibles pour y parvenir, le convertisseur sigma-delta passe bande à temps continu offre des possibilités intéressantes. Diverses réalisations ont déjà été publiées [1][2][3].

La méthode généralement adoptée pour concevoir de tels convertisseurs consiste à mettre au point à partir de spécifications une architecture de principe, mettant en oeuvre des blocs fonctionnels idéaux. Puis l'implémentation dans une technologie donnée nécessite de concevoir des blocs dont les performances approchent au mieux les fonctions des blocs idéaux. Les inévitables imperfections vont limiter les performances du convertisseur complet et il

sera, bien sûr, nécessaire de limiter leur impact à une valeur acceptable. Si on utilise la technologie choisie aux limites extrêmes de ses possibilités, il sera indispensable d'effectuer des compensations locales sur les blocs, qui seront la plupart du temps très approximatives, ce qui imposera de redimensionner ou de modifier l'architecture globale.

Les imperfections classiquement prises en compte dans la réalisation des convertisseurs sigma-delta passe-bande sont la réalisation de résonateurs à temps continu avec un facteur de qualité suffisant [4], la compensation du retard de boucle lié à l'ensemble CAN + CNA [5][6], et la minimisation de l'effet de la gigue d'horloge [7].

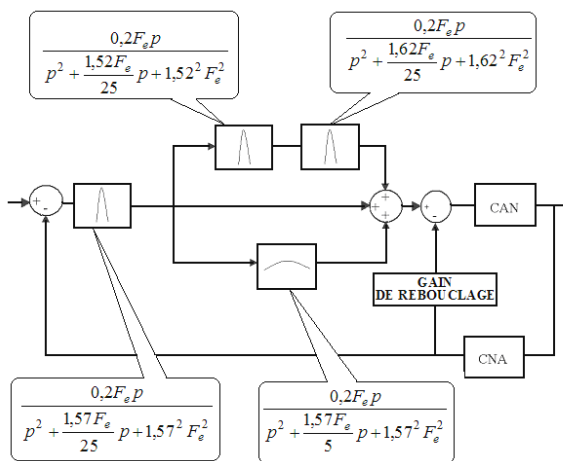
Cet article présente l'analyse et la compensation de deux imperfections supplémentaires dont l'importance est apparue lors de la conception d'un modulateur sigma-delta passe-bande à temps continu en technologie AsGa HEMT 0.2 μm . Le convertisseur est prévu pour fonctionner à une fréquence de sur-échantillonnage de 3 GHz pour une fréquence centrale de 750 MHz et une largeur de bande d'environ 10 MHz. Nous montrons qu'à cette fréquence de travail et compte tenu des contraintes technologiques, il est nécessaire de prendre en compte les termes « passe-bas » des résonateurs à temps continu ainsi que la bande passante du sommateur présent aussi bien dans les architectures parallèles que dans les architectures classiques à rebouclage. Une méthodologie et des solutions de compensation sont proposées. Mises en oeuvre dans la technologie AsGa HEMT 0.2 μm , elles sont toutefois applicables à d'autres technologies.

Nous présentons en section 2 l'architecture théorique du modulateur sigma-delta et ses performances. La section 3 développe l'analyse de l'impact des imperfections des blocs élémentaires réels et expose les remèdes envisagés. Enfin, la section 4 donne des éléments sur l'implantation au niveau transistor ainsi que des résultats de simulation.

2. Architecture du modulateur

La figure 1 présente l'architecture idéale servant de référence pour l'analyse de l'influence des imperfections introduites lors de la réalisation des blocs au niveau

Le retard de boucle lié à l'ensemble CAN+CAN est pris en compte et fixé à 1,5 fois la période d'échantillonnage, cette valeur étant optimale vis à vis de certains critères [8].



La figure 2 montre le spectre en sortie de l'architecture théorique pour un signal d'entrée de fréquence $F_{\text{in}} = F_c/4$. La résolution obtenue est d'environ 12 bits sur une bande utile de $F_c/300$ autour de F_0 .

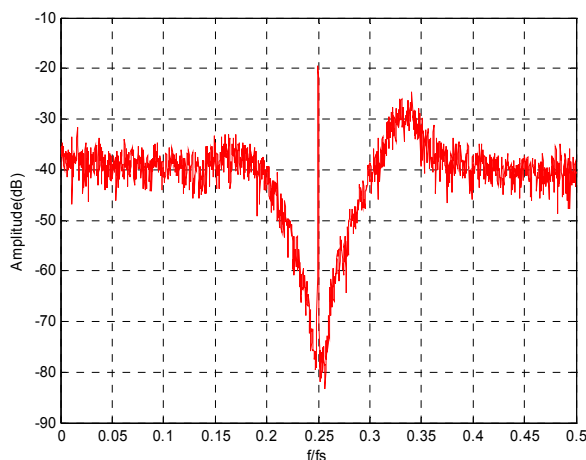


Figure 2. Spectre obtenu pour l'architecture théorique

Par mesure de précaution, on vérifie que la stabilité sera maintenue pour des valeurs de R_{cor} et C_{cor} variant de 20% autour de leur valeur nominale (Fig. 3-c).

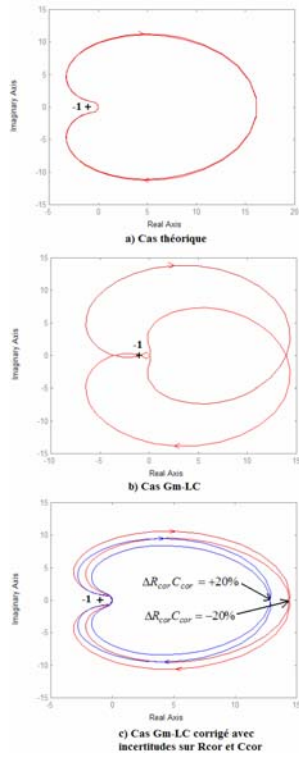


Figure 3. Diagramme de Nyquist du bloc de filtre: a) cas idéal b) cas Gm-LC c) cas Gm-LC corrigé par passe-haut

3.2 Sommateur

Les spécifications importantes du sommateur sont : un gain minimum dans la bande pour le fonctionnement correct du modulateur, une bande passante adaptée aux signaux à traiter et une zone de linéarité suffisante vis-à-vis de l'amplitude des signaux d'entrée.

Le schéma choisi pour le sommateur est celui de deux transconductances différentielles dont les courants de sortie sont sommés dans deux résistances R (figure 4). La résistance R_{lin} fixe la valeur des transconductances et améliore la linéarité de l'ensemble. C_p modélise la capacité parasite équivalente de charge de l'étage.

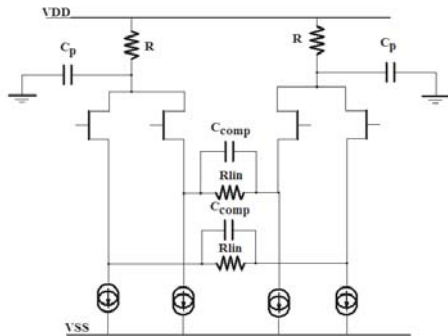


Figure 4. Schéma simplifié du sommateur

Sous ces hypothèses, la fonction de transfert du sommateur vis-à-vis d'une entrée s'écrit :

$$S(s) = \frac{1}{1 + RC_p s} \left[\frac{Rg_m}{R_{lin}g_m + 1} \right] \quad (4)$$

Sa fréquence de coupure est donnée par :

$$f_c = \frac{1}{2\pi RC_p} \quad (5)$$

Une capacité C_{comp} en parallèle sur la résistance de linéarisation, procure une avance de phase, ce qui donne lieu à la fonction de transfert suivante :

$$S_{comp}(s) = \frac{g_m R}{g_m R_{lin} + 1} \frac{(1 + R_{lin} C_{comp} s)}{\left(1 + \frac{R_{lin} C_{comp}}{g_m R_{lin} + 1} s\right) (1 + RC_p s)} \quad (6)$$

La fréquence de coupure est alors repoussée :

$$f_{ccomp} = \frac{g_m R_{lin} + 1}{R_{lin} C_{comp}} \quad (7)$$

Le calcul de la fonction de transfert vis-à-vis du bruit (NTF) à l'aide d'un modèle linéaire du CAN permet d'évaluer l'impact de la compensation. Les NTF avec et sans capacité de compensation représentées Fig. 5 ont été tracées pour une bande passante du sommateur égale à 2.3 GHz (capacité parasite globale C_p de 0,35 pF), une résistance R de sommation de 200 Ω , et pour une fréquence d'échantillonnage de 3 GHz. La NTF non corrigée présente une déformation et la mise en forme de bruit sur la bande utile est moins profonde, ce qui indique une dégradation des performances. La capacité de compensation permet de s'approcher à nouveau de la NTF théorique.

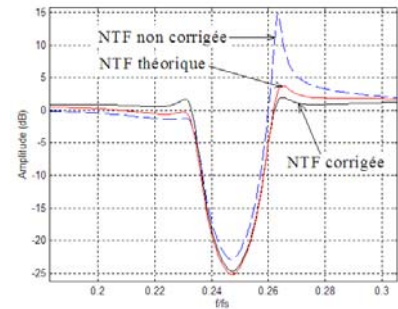


Figure 5. NTF du modulateur

La figure 6 présente les spectres obtenus en sortie du modulateur, dans le cas où le sommateur a une bande passante de 2,3 GHz (7-a) et dans le cas où cette bande passante est corrigée par l'ajout d'une capacité de compensation de 0,8 pF (7-b). Le modulateur est simulé dans le cas où tous les blocs sont idéaux, le seul défaut pris en compte est la caractéristique du sommateur.

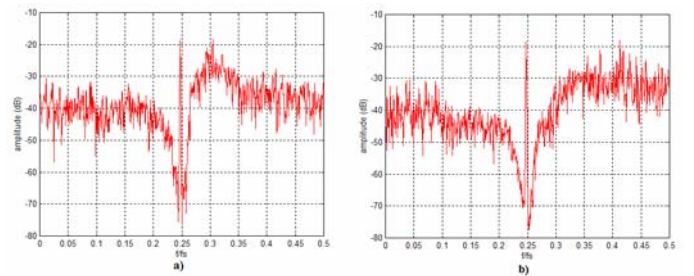


Figure 6. Spectre en sortie :a) bande passante du sommateur 2.3 GHz b) bande passante accrue par capacité de compensation

On constate après la compensation une atténuation de la déformation du spectre pour les fréquences supérieures à la fréquence centrale ainsi qu'une meilleure mise en forme de

bruit dans la bande utile. Sans compensation la résolution s'élève à 10,8 bits, puis à 11,5 bits avec une capacité de compensation de 0,8 pF. La capacité de compensation est donc un moyen efficace d'agrandir la bande passante, cependant, il faut noter qu'elle détériore la linéarité du sommateur à haute fréquence.

4. Modulateur complet - Résultats de simulation

La figure 7 présente le schéma simplifié du modulateur conçu au niveau transistor.

Les résonateurs ont des fréquences centrales autour de 750 MHz et la compensation du facteur de qualité, initialement de 3, permet d'atteindre des facteurs de qualités de 25. Des filtres passe haut du premier ordre ont été ajouté à l'entrée de chaque résonateur pour compenser les termes passe-bas.

Le sommateur a pour bande passante 8 GHz, il n'est pas nécessaire dans ce cas particulier d'ajouter de capacité de compensation. Son gain dans la bande passante est de 10 dB, ce qui est suffisant pour le bon fonctionnement du modulateur.

Pour atteindre approximativement le retard optimal dans l'architecture de notre modulateur, nous avons conçu un comparateur à deux étages de type SCFL [12]. Les études montrent qu'un retard supérieur à T_e doit être compensé par une l'introduction d'un amplificateur de rebouclage placé entre la sortie du CNA et l'entrée du sommateur (fig 8).

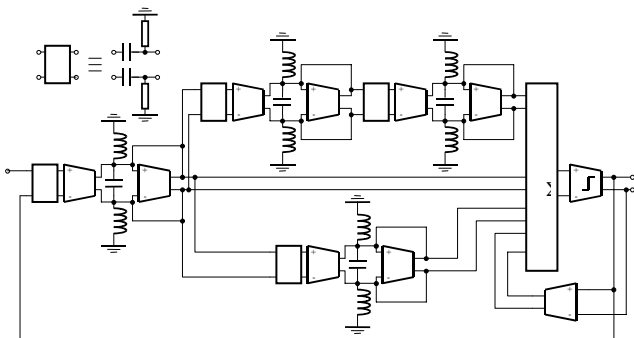


Figure 7 . Vue générale du modulateur sigma-delta d'ordre 6

Les simulations menées avec le simulateur PSpice avec la bibliothèque de composants du fondeur OMMIC, ont permis de déterminer une résolution un peu supérieure à 10 bits sur 10 MHz. Il s'agit d'un résultat satisfaisant, une résolution théorique de 12 bits ne permettant généralement pas d'excéder 10 bits au niveau transistor.

5. Conclusion

Cette étude montre que la conception de convertisseurs sigma-delta passe-bande à temps continu sur des technologies utilisées aux limites de leurs possibilités met en évidence de multiples causes de limitation des performances. Si des compensations locales sont possibles, elles restent approximatives et il est nécessaire de revenir

sur l'optimisation de l'architecture globale pour retrouver des performances correctes. Ces problèmes rencontrés à propos de la technologie AsGa, se posent avec une plus grande acuité sur les technologies CMOS sur silicium, car l'évolution vers des dimensions nanométriques ne permettra de réaliser que des fonctions analogiques très approximatives.

Références

- [1] W.Gao, W. Martin Snelgrove "A 950 MHz IF Second-Order Integrated LC Bandpass Delta-Sigma Modulator" *IEEE Journal of solid-state circuit*, vol 33, NO. 5, May 1998.
- [2] W. Gao, James A.Cherry and W. Martin Snelgrove "A 4 GHz Fourth-Order SiGe HBT Band Pass $\Delta\Sigma$ Modulator" *IEEE Symposium on VLSI Circuits Digest of Technical Papers*, p. 174-175, 11-13 june 1998.
- [3] Arun Jayaraman, Peter Asbeck, Kevin Nary, Steve Beccue and Keh-Chung Wang "Bandpass Delta-Sigma Modulator with 800 MHz Center Frequency" *IEEE Gallium Arsenide integrated circuit Symposium*, p. 95-98, 12-15 october 1997.
- [4] U. Yodprasit, J. Ngarmnil, "Q-enhancing technique for RF CMOS active inductor" *ISCAS 2000 - IEEE International Symposium on circuits and systems*, May 28-31, 2000
- [5] James A. Cherry and W. Martin Snelgrove "Excess Loop Delay in Continuous-Time Delta-Sigma Modulators" *IEEE Transactions on Circuits and Systems-II : Analog and Digital Signal Processing*, Vol. 46, NO. 4, april 1999.
- [6] Abdeljalil Yahia, Philippe Benabes and Richard Kielbasa "Influence of the Feedback DAC Delay on a Continuous-Time Bandpass $\Delta\Sigma$ Converter" *IEEE International Symposium on Circuits and Systems*, vol 2 II-648 II-651, 26-29 may 2002.
- [7] James A. Cherry, W. Martin Snelgrove "Clock Jitter and Quantizer Metastability in Continuous-Time Delta-Sigma Modulators" *IEEE Transactions on Circuits and Systems-II Analog and Digital Signal Processing*, Vol. 46, No. 6 June 1999.
- [8] P. Benabes, P. Aldebert, R. Kielbasa "A Matlab based tool for bandpass continuous-time sigma-delta modulators design" *IEEE International Symposium on Circuits and Systems*, Monterey, CA, vol.VI, pp. 274-277, june 1-3, 1998.
- [9] C. Lelandais-Perrault, P. Benabes, J.-L. De Gouy and R.Kielbasa "A parallel structure of a continuous time filter for band pass sigma-delta A/D Converter" *IEEE International Conference on Electronics, Circuits and Systems*, Vol 3, 954-957, 14-17 dec 2003.
- [10] Esmail Najafi Aghdam, Philippe Benabes, "A hardware efficient 3-bit second-order dynamic element matching circuit clocked at 300MHz", *IEEE International Symposium on Circuits and Systems (ISCAS 2006)*, Kos, Greece, 21-24 May 2006, Page:2977-2980.
- [11] J-Luc Degouy, P.Benabes, C. Flouzat, J-M Hode, R. Kielbasa "A new s-domain approach for designing continuous time sigma-delta converters" *IEEE Conference on Instrumentation and Measurement Technology*, vol. 2 744-749, 21-23 May 2001.
- [12] Shen Feng and Dieter Seitzer "Characterization and Design of GaAs SCFL Latched Comparators Based on Improved Linearized Models" *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, Vol. 42, No. 6, june 1995.