



HAL
open science

Conversion numérique de signaux biologiques de faibles intensités pour les applications biomédicales

Béatrice Guénégo

► **To cite this version:**

Béatrice Guénégo. Conversion numérique de signaux biologiques de faibles intensités pour les applications biomédicales. Sciences de l'ingénieur [physics]. Université Paris-Saclay, 2023. Français. NNT : 2023UPAST230 . tel-04562483

HAL Id: tel-04562483

<https://centralesupelec.hal.science/tel-04562483v1>

Submitted on 3 Jan 2025

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Conversion numérique de signaux biologiques de faibles intensités pour les applications biomédicales

*Digital conversion of low-level biological signals for biomedical
applications*

Thèse de doctorat de l'université Paris-Saclay

École doctorale n° 575, electrical, optical, bio : physics and engineering (EOBE)
Spécialité de doctorat : Électronique, Photonique et Micro-Nanotechnologies
Graduate School : Sciences de l'Ingénierie et des Systèmes, Référent : CentraleSupélec

Thèse préparée dans l'unité de recherche **GeePs (Université Paris-Saclay, CentraleSupélec, CNRS)**, sous la direction de **Philippe BÉNABÈS**, professeur, le co-encadrement de **Caroline LELANDAIS-PERRAULT**, maître de conférences, **Émilie AVIGNON-MESELDZIJA**, maître de conférences, et de **Gérard SOU**, maître de conférences

Thèse soutenue à Paris-Saclay, le 18 décembre 2023, par

Béatrice GUÉNÉGO

Composition du jury

Membres du jury avec voix délibérative

Robert SOBOT Professeur, ENSEA	Président
Patricia DESGREYS Professeur, Télécom Paris	Rapporteur & Examinatrice
Rachid BOUCHAKOUR Professeur, IM2NP	Rapporteur & Examineur
Sylvain FERUGLIO Maître de conférences, Sorbonne Université	Examineur

Titre : Conversion numérique de signaux biologiques de faibles intensités pour les applications biomédicales

Mots clés : Ischémie cardiaque, Électrocardiogramme (ECG), Distorsion du signal, Transformée en ondelettes, Circuit intégré

Résumé : L'ischémie cardiaque est une pathologie cardiaque qui est, selon l'Organisation Mondiale de la Santé, la première cause de mortalité. Il s'agit d'une vascularisation insuffisante des cellules du myocarde qui, si elle perdure, entraîne un infarctus cardiaque, c'est-à-dire la nécrose d'une partie du cœur, et met en danger la vie du patient. Néanmoins, si l'ischémie est prise en charge à temps, elle peut n'avoir aucune conséquence sur la santé du patient. Un système embarqué permettant de détecter l'ischémie cardiaque sur des durées longues, sans nécessiter une surveillance de la part du personnel médical, et qui fournirait des alertes permettrait aux patients d'être pris en charge plus tôt, augmentant ainsi leurs chances d'éviter l'infarctus.

L'électrocardiogramme (ECG) est une mesure de l'activité électrique du cœur couramment utilisée en médecine pour effectuer un premier diagnostic. Elle permet de détecter de nombreuses pathologies cardiaques via un examen de la morphologie du signal et des intervalles de temps entre les différents événements. Le diagnostic d'ischémie s'appuie sur les variations de la partie de l'ECG désignée comme le segment ST. Il existe déjà des systèmes embarqués s'appuyant sur l'ECG pour détecter des troubles du rythme cardiaque, mais aucun ne détecte l'ischémie. Dans ce contexte, l'originalité de ce travail de thèse est la conception d'un système intégré qui sera à même de détecter spécifiquement les variations du segment ST pour détecter l'ischémie. Les principaux verrous à la conception d'un tel système sont la préservation du segment ST pendant l'étape d'acquisition et la définition d'un traitement du signal adapté à l'électronique intégrée (consommation, complexité, préservation du segment ST).

Par conséquent, dans le cadre de cette thèse, nous avons étudié la conception d'un système intégré adapté à l'acquisition et au traitement de l'ECG dans le cadre de la détection de l'ischémie cardiaque. Les différents circuits, simulations

et « layouts » produits ont été réalisés en 180 nm, dans la technologie XFAB xh018. La norme sur les performances minimales des électrocardiogrammes éditée par l'International Electrotechnical Commission (IEC) a été utilisée comme référence pour la quantification de la distorsion du segment ST. Nous avons tout d'abord conçu un étage d'acquisition analogique depuis le niveau système jusqu'au niveau transistor. Des simulations de cet étage ont ensuite été réalisées pour confirmer son adéquation avec la norme IEC et pour estimer sa consommation. La conception d'un convertisseur analogique-numérique n'apportant pas de nouveauté par rapport à l'état de l'art, elle n'a pas été abordée pendant cette thèse. Nous avons ensuite étudié une implémentation de la transformée en ondelettes discrète en intégré, transformée utilisée pour éliminer le bruit et obtenir des informations sur les points caractéristiques du signal tout en conservant la possibilité d'une reconstruction du signal. Pour qualifier les performances de ce traitement numérique, nous avons simulé une implémentation de l'algorithme de Mallat en Python, qui a ensuite été réalisée en VHDL, et enfin un placement-routage de ce circuit numérique a été effectué pour plusieurs ondelettes. De cette manière, les « layouts » et les résultats des simulations « post-layout » ont permis de déterminer quelle ondelette offre le meilleur compromis entre la distorsion du signal, l'élimination de la « baseline wander », la consommation, et la surface du circuit.

L'ensemble de ce travail couvre donc la conception et le dimensionnement des blocs essentiels d'une chaîne d'acquisition de l'ECG dédié à la détection du segment ST qui soit intégrable sur une puce. Il pourra être complété par l'implémentation d'une méthode embarquée de prise de décision avant la réalisation physique d'une puce électronique.

Title : Digital conversion of low-intensity biological signals for biomedical applications

Keywords : Cardiac ischemia, Electrocardiogram (ECG), Signal distortion, Wavelet transform, Integrated circuit

Abstract : According to the World Health Organization, cardiac ischemia is the world's leading cause of death. Ischemia is an insufficient vascularization of myocardial cells, which, if prolonged, leads to the necrosis of part of the heart, i.e., a cardiac infarction, endangering the patient's life. However, if ischemia is treated in time, it can have no impact on the patient's health. An embedded system that detects cardiac ischemia over long periods, without requiring medical staff monitoring, and provides alerts would enable patients to be taken care of earlier, increasing their chances of avoiding a heart attack.

The electrocardiogram (ECG) is a measurement of the heart's electrical activity, commonly used in medicine to make an initial diagnosis. Examining the signal morphology and the time intervals between different events gives hints of eventual pathologies. The diagnosis of ischemia is based on variations in the part of the ECG named ST segment. Some embedded systems using the ECG to detect cardiac arrhythmias already exist, but none target cardiac ischemia. In this context, the originality of this work is in the design of an integrated system that can detect ST segment variations for ischemia diagnosis. The main difficulties of such a system's design are ST segment preservation during the acquisition stage and the conception of a signal processing method adapted to integrated circuits (power consumption, complexity, ST segment preservation).

In this thesis, we studied the design of an integrated system for ECG acquisition and proces-

sing for cardiac ischemia detection. The various circuits, simulations, and layouts were realized in 180 nm using XFAB xh018 technology. The standard giving minimum performance for electrocardiograms published by the International Electrotechnical Commission (IEC) was used to quantify ST-segment distortion. We first designed an analog acquisition stage from the system to the transistor level. Simulations of this stage were then carried out to confirm its compliance with the IEC standard and to estimate its power consumption. As the design of an analog-to-digital converter is not new to the state of the art, it was not addressed during this thesis. Then, we conceived an integrated implementation of the discrete wavelet transform, used to eliminate noise and obtain information on the signal's fiducial points while retaining the possibility of reconstructing the signal. We first simulated an implementation of Mallat's algorithm in Python, which was then realized in VHDL, and finally, the place and route step was carried out for several wavelets. Layouts and post-layout simulation results were used to determine which wavelet offered the best trade-off between signal distortion, baseline wander elimination, power consumption, and circuit area.

This work covers the design and dimensioning of the essential blocks of an ECG acquisition chain dedicated to ST segment detection that can be integrated. It may be completed by implementing an embedded decision-making method before the physical realization of the chip.

Remerciements

Ce manuscrit résume le travail que j'ai réalisé durant ces trois dernières années, mais il serait malhonnête de m'en attribuer le seul mérite sans mentionner toutes les personnes sans qui cette thèse n'aurait pu être réalisée dans de bonnes conditions, voire simplement achevée.

Tout d'abord je tiens à remercier les membres de mon jury de thèse, Monsieur Robert Sobot, Madame Patricia Desgreys, Messieurs Rachid Bouchakour et Sylvain Feruglio, pour leur temps et la qualité de nos échanges.

Merci également à mon équipe d'encadrement de thèse, Philippe Bénabès, Caroline Lelandais-Perrault, Émilie Avignon et Gérard Sou, pour leur soutien, leur temps, leur patience, et pour avoir fait de cette thèse une véritable formation qui m'a fait grandir beaucoup plus que je ne m'y attendais scientifiquement et humainement.

Merci à toutes les personnes du département électronique de CentraleSupélec avec qui j'ai eu la chance d'interagir : Pietro, Francis, Saman, Philippe, Sophie, Sandrine, Anthony, Morgan, Laurent, Jérôme, et surtout Erwan.

Merci à tous mes amis qui ont pris le temps de relire mon manuscrit, et de me faire des retours, et surtout à ma grand-mère sans qui cette thèse serait littéralement truffée de fautes d'orthographe. Ce manuscrit n'aurait jamais pu être ce qu'il est sans vous.

Merci à Hugo et Fanny, qui ont vécu ces trois ans au jour le jour avec moi. Courage vous avez presque fini !

Merci infiniment à mes parents et ma famille, qui ont toujours été un soutien sans faille. Je ne peux que regretter amèrement que Papi soit parti trop tôt pour partager ce moment avec nous.

Et enfin, merci infiniment à mon compagnon, Aymeric, d'avoir assuré un inestimable soutien émotionnel, moral et logistique pendant les moments critiques de cette aventure qu'est le doctorat.

Table des matières

Table des figures	xi
Liste des tableaux	xiii
Introduction	1
1 Détecter l'ischémie cardiaque grâce à l'électrocardiogramme	3
1.1 Introduction	3
1.2 L'ischémie cardiaque	4
1.2.1 Fonctionnement physiologique du cœur	4
1.2.2 Causes et conséquences de l'ischémie cardiaque	4
1.3 L'électrocardiogramme	6
1.3.1 Origine du signal	6
1.3.2 Points caractéristiques et ordres de grandeur	6
1.3.3 Bruits affectant l'ECG	8
1.3.4 Méthodes de mesures existantes	10
1.3.5 Bases de données	11
1.4 Conclusion et objectifs de la thèse	12
2 Spécifications du système de suivi d'ischémie cardiaque	13
2.1 Introduction	13
2.2 Mesure de la distorsion de l'ECG	14
2.2.1 Normes	14
2.2.2 Mesures de la distorsion de l'ECG dans la littérature	14
2.2.3 Méthodologie de mesure de la distorsion du segment ST	15
2.3 <i>Front-End</i> Analogique	17
2.3.1 Électrodes	18
2.3.2 Les architectures d'AFE pour l'ECG	19
2.3.3 Distorsions dues au filtrage analogique de la ligne de base	21
2.3.4 Spécifications de l'AFE	22
2.4 Convertisseur Analogique-Numérique	23
2.4.1 Architectures d'ADC	23
2.4.2 Discussion	30

2.5	Traitements numériques de l'ECG	32
2.5.1	Élimination des bruits spécifiques à l'ECG en numérique	32
2.5.2	Détection des pics	33
2.5.3	Segmentation et interprétation de l'ECG	34
2.5.4	Choix du traitement numérique	35
2.6	Conclusion	36
3	Conception d'un Front-End Analogique adapté aux contraintes de l'ischémie	37
3.1	Introduction	37
3.2	Technologie choisie	37
3.3	Description de l'architecture de l'amplificateur-hacheur	38
3.3.1	Objectifs du dimensionnement	39
3.3.2	Bruit <i>flicker</i> et choix de la fréquence de hachage	40
3.3.3	Architecture de la <i>DC Servo Loop</i>	41
3.4	Dimensionnement du circuit	43
3.4.1	Hacheurs	43
3.4.2	Point de fonctionnement en entrée	44
3.4.3	Amplificateurs	45
3.5	Résultats de simulation	50
3.6	Conclusion	53
4	Traitement numérique par transformée en ondelettes	55
4.1	Introduction	55
4.2	Transformées Temps-Fréquence	55
4.3	Transformée en ondelettes rapide	56
4.3.1	Coefficients de la transformée en ondelettes et bandes de fréquence	58
4.3.2	Filtrage du bruit basse fréquence	59
4.3.3	Choix des ondelettes mères	59
4.4	Conclusion	62
5	Implémentation de la transformée en ondelettes rapide pour l'ECG	63
5.1	Introduction	63
5.2	Architecture de la transformée en ondelettes	64
5.2.1	Choix du type de l'architecture	64
5.2.2	Schéma-bloc de l'architecture	65
5.2.3	Implémentation des calculs en virgule fixe	65
5.2.4	Séquencement des opérations et fréquence de fonctionnement du système	67
5.2.5	Gestion des adresses et taille de la mémoire RAM	69
5.2.6	Implémentation du filtrage de la ligne de base	71
5.3	Optimisation des paramètres de l'architecture	72
5.3.1	Choix de la longueur de la partie fractionnaire pour le stockage des coefficients des filtres FIR	72
5.3.2	Choix des longueurs des parties fractionnaires pour le reste de l'architecture	72

5.3.3	Choix de la profondeur de la FWT	74
5.4	Implémentations et Résultats	75
5.4.1	Processus de conception et simulations réalisées pour le calcul des performances	75
5.4.2	Résultats	78
5.4.3	Comparaison avec la littérature et Discussion	83
5.5	Conclusion	85
Conclusion		87
Liste des acronymes		93
Bibliographie		95
A	Annexes	101
A.1	Calcul de la résolution minimale requise pour la numérisation de l'EKG	101
A.2	Fonction de transfert de la DC Servo Loop	103
A.3	Complexité comparée des calculs en virgule fixe et des calculs en virgule flottante	106
A.4	Séquencement des opérations dans l'unité MAC	108
A.5	Resynchronisation des coefficients de détail dans le cas de la transformée en ondelettes en temps réel	111
A.6	Taille minimale de la mémoire	113

Table des figures

1.1	Schéma du cœur : circulation du sang (gauche) trajet de la dépolarisation (droite). Figure issue de [1]	5
1.2	Vue antérieure du cœur et des principales artères coronaires. Figure issue de [1] . . .	5
1.3	Tracé schématique de l'électrocardiogramme d'un battement cardiaque (dérivation II)	7
1.4	Sous-décalage (gauche) et sus-décalage (droite) du segment ST	8
1.5	Recouvrements des bandes de fréquences des bruits et de l'ECG, bandes de fréquences approximatives des pics R et des ondes P et T [2]	8
1.6	Variations de la ligne de base	9
1.7	ECG bruité par l'EMG dû aux contractions musculaires	9
2.1	Architecture générique d'un système embarqué de suivi de pathologie cardiaque . . .	13
2.2	Schéma-bloc de la mesure de la distorsion du segment ST causé par un traitement de l'ECG	16
2.3	Signaux d'étalonnage fournis par la norme IEC [3]	16
2.4	Distorsion du segment ST, mesure de la déviation de pente et de niveau	17
2.5	Architecture générique d'un CCIA	20
2.6	Architectures d'amplificateurs-hacheurs	21
2.7	Influence de la fréquence de coupure d'un filtre passe-haut du 1 ^{er} ordre sur la distorsion du segment ST	21
2.8	Comparaison de la distorsion du segment ST introduite par le filtrage passe-haut des AFE de type CCIA et CA	22
2.9	Architectures d'ADC et leurs résolutions et fréquences typiques	24
2.10	Fonctionnement d'un ADC simple rampe	26
2.11	Fonctionnement d'un ADC double rampe	26
2.12	Fonctionnement d'un ADC de type SAR	27
3.1	Schéma de l'architecture de Chopper Amplifier choisie	39
3.2	Allure de la densité spectrale de bruit d'un transistor MOS	41
3.3	Fonctionnement théorique de l'amplificateur-hacheur	41
3.4	Profil de bruit de l'OTA 1 obtenu par simulation	42
3.5	Intégrateur à capacités commutées	43
3.6	Hacheurs du Chopper Amplifier	44
3.7	Schéma des amplificateurs	46

3.8	Schéma du CMFB	49
3.9	Illustration du fonctionnement du circuit CMFB	49
3.10	Simulation du comportement transitoire avec bruit : cas du circuit entièrement non-idéal	52
4.1	Schéma bloc d'une étape de décomposition et d'une étape de reconstruction d'une FWT	57
4.2	Illustration d'une analyse multirésolution de n niveaux grâce à la FWT	58
4.3	Fonctions ondelettes	61
5.1	Schéma-bloc de l'architecture de la FWT implémentée	65
5.2	Zones d'utilisations des différentes représentations en virgule fixe. n_{bits} est la longueur totale de la donnée et n_{frac} celle de la partie fractionnaire	66
5.4	Resynchronisation des coefficients de détail D_1 au moyen de l'ajout de délais dans le cas d'une FWT de profondeur 2	70
5.5	Oscillations provoquées par une annulation des coefficients d'approximation dans le cas de l'ondelette bior3.1	76
5.6	Méthodologie de conception de la FWT intégrée	77
5.7	Layout et positions des mémoires	80
5.8	Consommations en fonction du nombre de MAC par cycle	81
5.9	Architecture complète du système de suivi continu d'ischémie cardiaque	90
A.1	Signaux d'étalonnage fournis par la norme IEC [3]	101
A.2	Exemple schématique de l'impact de la numérisation sur les interpolations des segments PR et ST	102
A.3	Intégrateur à capacités commutées	103
A.4	Architectures de l'intégrateur durant chacune des phases	104
A.5	Opérations en virgule fixe	106
A.6	Étapes de traitement réalisées en fonction du temps k pour une FWT de profondeur 2	108
A.7	Erreur du <i>forwarding</i> lorsque toutes les étapes de décomposition ne sont pas réalisées	109
A.8	Resynchronisation des coefficients de détail D_1 au moyen de l'ajout de délais dans le cas d'une FWT de profondeur 2	111
A.9	Resynchronisation des coefficients de détails D_1 et D_2 au moyen de l'ajout de délais dans le cas d'une FWT de profondeur 3	112

Liste des tableaux

2.1	Exigences de la norme IEC [3] en matière de distorsion	15
2.2	Comparaison qualitative des différentes architectures d'ADC considérées	31
3.1	Dimensionnement des OTA et de l'OpAmp	48
3.2	Dimensionnement des circuits CMFB des OTA et de l'OpAmp	50
3.3	Distorsion introduite par l'AFE : influence du dimensionnement	51
3.4	Distorsion introduite par l'AFE : influence du bruit en transitoire	51
3.5	Distorsion introduite par l'AFE : pires cas avec bruit	52
4.1	Adaptation des coefficients des filtres de l'ondelette Haar	62
4.2	Coefficients des filtres des ondelettes bior3.1 (rationalisé) et LeGall	62
5.1	Longueur minimale de la partie fractionnaire des coefficients des filtres FIR pour chaque ondelette	73
5.2	Longueur minimale de l_{fpd} requises pour $n_{\text{levels}} = 12$ pour chaque ondelette	74
5.3	Profondeur de la FWT requise et distorsion associée pour une entrée non bruitée	75
5.4	Configurations de l'architecture adaptées à chaque ondelette	79
5.5	Performances des différentes ondelettes - Distorsions	79
5.6	Performances des différentes ondelettes	82

Introduction

La miniaturisation des capteurs et des systèmes électroniques a permis des révolutions technologiques dans de nombreux domaines. Il devient même difficile de penser à des objets ou des lieux dans lesquels il n'y a pas ou on ne pense pas à mettre un capteur plus ou moins intelligent : adapter l'éclairage en ville, fournir du réseau aux téléphones, guider les véhicules autonomes, mais aussi identifier le bétail, détecter les feux de forêt ou adapter l'irrigation d'un verger. Notre santé est aussi concernée par cette tendance. On peut penser aux pacemakers, aux différentes prothèses ou encore aux pilules permettant de photographier l'intérieur des intestins. Les dispositifs embarqués miniaturisés permettent d'obtenir plus de données, plus de points de mesure sans déranger le patient dans sa vie quotidienne tout en améliorant son suivi médical. Et, même si des systèmes de ce type existent déjà, il reste beaucoup à explorer et à inventer.

Selon une étude de l'Organisation Mondiale de la Santé (OMS), les maladies cardiaques ischémiques sont la première cause de mortalité au monde. C'est particulièrement le cas dans les pays ayant des revenus élevés. Depuis l'an 2000, la proportion des maladies ischémiques cardiaques est en augmentation [4]. L'ischémie cardiaque est une pathologie du cœur qui peut dégénérer en crise cardiaque : c'est l'infarctus, qui peut être mortel voir foudroyant. L'ischémie est pourtant une pathologie qui, prise en charge rapidement, peut n'avoir aucune conséquence sur la vie du patient. Or, il n'existe à ce jour aucun produit commercial permettant le suivi continu de l'ischémie cardiaque. De plus, la recherche est quasiment inexistante sur de tels systèmes électroniques embarqués même si elle est foisonnante sur des sujets proches.

Ce travail de recherche a pour objectif de faire un premier pas vers la conception d'un système intégré complet pour la détection et le suivi de l'ischémie cardiaque grâce à l'électrocardiogramme (ECG). Le premier chapitre apporte le contexte médical nécessaire pour comprendre les mécanismes de l'ischémie, l'électrocardiogramme et ses méthodes usuelles de mesures. Le chapitre 2 dresse un état de l'art des systèmes embarqués mesurant et/ou traitant l'ECG en embarqué. Il présente les contraintes imposées par les normes internationales pour préserver l'information médicale. Enfin, il récapitule les axes de recherches choisis dans cette thèse. Le chapitre 3 aborde la conception de l'étage d'acquisition de l'ECG et qualifie ses performances, particulièrement en ce qui concerne la déformation du signal. Le chapitre 4 donne des bases théoriques de la transformée en ondelettes et décrit la méthode d'élimination du bruit choisie ainsi que le choix des dix ondelettes considérées dans cette thèse. Le chapitre 5 décrit l'implémentation réalisée de cette transformée en ondelettes sous la forme d'un circuit intégré et les performances obtenues après les étapes de synthèse et de placement-routage. Le dernier chapitre conclut ce travail de recherche et mentionne les pistes envisagées pour la suite.

Chapitre 1

Détecter l'ischémie cardiaque grâce à l'électrocardiogramme

1.1 Introduction

Les maladies ischémiques cardiaques sont, selon une étude de l'OMS, la première cause de mortalité au monde. Le phénomène est d'autant plus marqué qu'un pays a des revenus élevés et il est, de plus, en forte augmentation depuis l'an 2000 [4]. Les facteurs de risques de cette pathologie sont, entre autres, des facteurs comportementaux comme le tabagisme ou le mode d'alimentation, et ces maladies peuvent donc affecter la totalité de la population [5]. L'ischémie cardiaque peut dégénérer en infarctus, aussi appelé communément crise cardiaque. Cependant, elle peut n'avoir aucune conséquence médicale si elle est prise en charge dans un temps court, de l'ordre de quelques heures. C'est pourquoi la réalisation d'un système de suivi continu de l'ischémie cardiaque générant des alertes permettrait d'augmenter significativement les chances de survie d'un patient.

Ce chapitre donne le contexte médical de ces travaux. Il présente succinctement le fonctionnement normal du cœur, aussi appelé fonctionnement physiologique, puis il décrit l'ischémie cardiaque, les causes et les conséquences qu'elle peut avoir. Il présente ensuite l'électrocardiogramme, une mesure de tension à la surface du corps, qui permet de diagnostiquer l'ischémie cardiaque.

Puisqu'il s'agit de médecine, il est crucial de rappeler que les informations présentées ici ne sont pas suffisantes pour constituer un diagnostic médical fiable. Chaque individu est différent par une multitude de facteurs, héréditaires, comportementaux, et par son historique médical. Une situation pathologique pour un individu peut tout à fait être physiologique pour un autre individu et inversement. L'objectif de cette partie est avant tout de donner les clés nécessaires pour comprendre et concevoir un système ayant pour but de détecter l'ischémie cardiaque dans un cas général. Une étude approfondie et une prise en compte des spécificités du patient seront nécessaires pour implémenter un système médical complet et fiable.

1.2 L'ischémie cardiaque

1.2.1 Fonctionnement physiologique du cœur

Le cœur est l'organe assurant la circulation du sang dans l'organisme et donc l'acheminement de l'oxygène et des nutriments nécessaires au fonctionnement des différentes cellules. C'est une sorte de pompe constituée de plusieurs chambres se remplissant et se contractant successivement [1]. Les chambres supérieures sont appelées atriums ou oreillettes. Les chambres inférieures sont appelées ventricules (Fig. 1.1). Un battement cardiaque est constitué d'une contraction des atriums et d'une contraction des ventricules ainsi que des relaxations associées. La fréquence des battements cardiaques varie selon l'individu et son activité physique à un moment donné. Elle est généralement de 70 battements par minute (bpm) au repos, mais il peut être tout à fait normal d'atteindre des fréquences cardiaques supérieures à 150 bpm en cas d'efforts intenses. En effet, les besoins des cellules augmentent lors d'un effort. La fréquence cardiaque augmente alors pour répondre à ces besoins, ce qui augmente le débit sanguin et donc la quantité d'oxygène et de nutriments acheminés jusqu'aux cellules.

Le rythme cardiaque désigne la manière dont le cœur se contracte. Comme tout muscle, sa contraction est liée à une dépolarisation. On parle de dépolarisation lorsque le potentiel électrique d'une cellule devient négatif pour ensuite revenir à son potentiel de repos. Pour que le cœur fonctionne normalement cette dépolarisation doit être transmise dans les différentes parties de l'organe dans un ordre précis et à des instants précis. Un rythme cardiaque normal est composé des étapes suivantes [6] :

- Génération d'une dépolarisation par le nœud sinusal, une formation cellulaire dans l'oreillette droite
- Traversée (et contraction) des atriums
- Traversée du faisceau de Hiss, ou faisceau atrioventriculaire (voir figure 1.1)
- Traversée (et contraction) des ventricules

Ce rythme, puisqu'il est généré par le nœud sinusal, est appelé rythme sinusal. On parle de rythme anormal, ou d'arythmie, lorsque le rythme n'est pas généré par le nœud sinusal ou que la dépolarisation n'est pas transmise correctement, c'est-à-dire pas dans le bon ordre ou pas à la bonne vitesse.

1.2.2 Causes et conséquences de l'ischémie cardiaque

L'ischémie cardiaque est un défaut d'approvisionnement du cœur en sang qui engendre un dysfonctionnement de l'organe. En effet, les cellules du cœur ont, comme toutes les autres cellules du corps humain, besoin d'être alimentées en oxygène ou en nutriments pour fonctionner correctement. Si l'ischémie perdure, les cellules finissent par se nécroser, c'est-à-dire mourir : c'est l'infarctus du myocarde.

L'ischémie cardiaque peut déclencher une douleur dans la poitrine, mais ce n'est le cas que dans moins de 30% des épisodes ischémiques ce qui la rend difficile détectable par le patient [5].

Une des causes les plus fréquentes de l'ischémie cardiaque est l'obstruction partielle ou complète

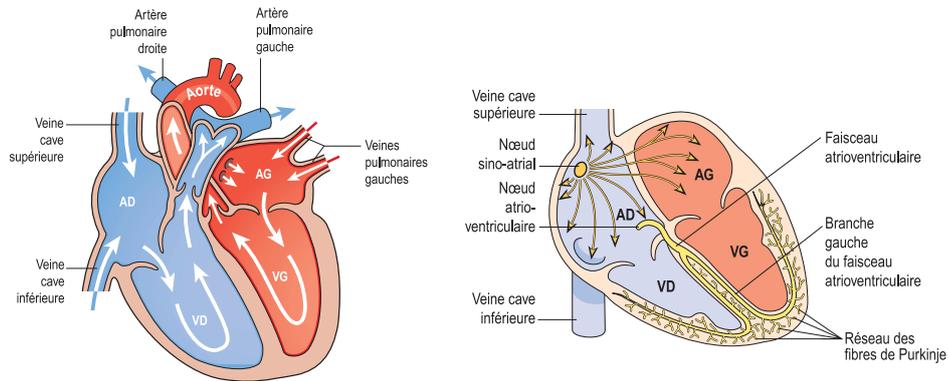


FIGURE 1.1 – Schéma du cœur : circulation du sang (gauche) trajet de la dépolarisation (droite).
Figure issue de [1]

des artères alimentant le cœur, dites artères coronaires, par des plaques d'athérome. La vascularisation du cœur par les artères coronaires est montrée sur la figure 1.2. Ces plaques limitent l'apport en sang des cellules situées en aval. Elles sont des agrégats de lipides, glucides, dépôts calcaires et de dépôts sanguins. Il existe de nombreux facteurs favorisant l'apparition de ces plaques, qui peuvent être comportementaux ou héréditaires [5]. Si la réduction du diamètre de l'artère est faible, l'artère peut toujours assurer une vascularisation suffisante au repos. La présence d'une plaque n'est alors détectable que lors d'un effort, lorsque le débit demandé est plus important et qu'il dépasse le maximum permis par l'artère coronaire obstruée. Il peut alors arriver que la pression sur la plaque soit telle que cette dernière se détache, soit emportée par le flux sanguin et obstrue complètement une autre artère de diamètre plus réduit. Il peut aussi arriver qu'elle se fende et provoque la création d'un caillot sanguin (thrombus) qui bloque complètement l'artère [5].

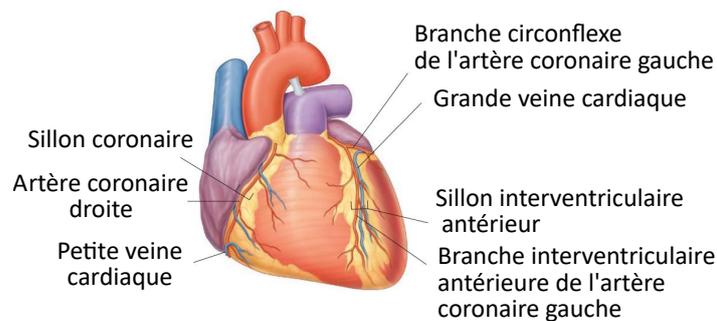


FIGURE 1.2 – Vue antérieure du cœur et des principales artères coronaires. Figure issue de [1]

Si le patient est pris en charge avant que les cellules en aval de l'obstruction ne se nécrosent, les conséquences sur la santé du patient peuvent être négligeables : les dysfonctionnements restent réversibles. La plaque peut être retirée ou bien un tuyau imposant une ouverture minimale à l'artère (un stent), pourra être installé pour s'assurer qu'aucune des complications décrites précédemment ne surviennent.

Dans le cas contraire, les cellules cardiaques meurent : c'est l'infarctus du myocarde. Les dégâts occasionnés sont alors irréversibles. La fonction de pompe est diminuée, avec une gravité dépendant

de la taille et de l'emplacement des cellules nécrosées, mettant en danger la vie du patient. Dans les cas où l'infarctus n'est pas immédiatement fatal, le cœur reste fragilisé ce qui peut conduire à une insuffisance cardiaque. Un suivi médical sur le long terme sera nécessaire pour s'assurer que le cœur arrive à remplir sa fonction, au moins au repos [5].

1.3 L'électrocardiogramme

Il existe différents moyens de mesurer l'activité cardiaque, et l'ECG en est un des plus courants. C'est une mesure de l'activité électrique du cœur grâce à des électrodes posées à la surface de la peau. Cette méthode a l'avantage de ne pas être invasive, c'est-à-dire de ne pas nécessiter une incision ou toute autre intrusion dans le corps du patient. La mesure d'un ECG est très commune en cardiologie et est souvent la première étape du diagnostic. Elle est, entre autres, utilisée pour diagnostiquer l'ischémie cardiaque.

1.3.1 Origine du signal

La dépolarisation d'un groupe de cellules du cœur, qui provoque la contraction de ce dernier, est une variation de son potentiel électrique. Les caractéristiques de cette variation diffèrent selon le groupe de cellules. Par exemple, la variation a une amplitude plus importante pour la contraction des ventricules que pour celle des atriums car les ventricules ont une masse musculaire plus importante.

En mesurant une tension à la surface du torse, on mesure une superposition des dépolarisations de toutes les cellules cardiaques. Cette superposition sera différente selon le positionnement des électrodes, celui-ci définissant l'angle de vue sous lequel sera observée l'activité électrique cardiaque. En combinant plusieurs de ces placements, on peut avoir une idée de l'activité électrique du cœur en trois dimensions. Il existe 12 positionnements standardisés qui sont appelés dérivations : I, II, III, aVR, aVL, aVF, V1, V2, V3, V4, V5, V6.

Pour savoir si le fonctionnement du cœur est physiologique, il est préférable d'avoir plusieurs dérivations judicieusement choisies pour pouvoir observer l'organe sous tous les angles. Si une seule dérivation est utilisée, ou plusieurs observant la même face du cœur, un problème affectant une autre face pourra être invisible dans la projection choisie. De plus, avoir plusieurs angles de vue permet de confirmer un marqueur de pathologie en observant son occurrence sur plusieurs dérivations en même temps. Cela permet aussi de trianguler la position d'un phénomène localisé.

Néanmoins, l'étude d'une seule dérivation permet d'appréhender les problématiques d'un système de suivi embarqué d'ischémie plus simplement que si de multiples dérivations étaient prises en compte simultanément. C'est pourquoi, dans la suite de ces travaux, une seule dérivation est considérée : II.

1.3.2 Points caractéristiques et ordres de grandeur

L'électrocardiogramme est constitué de plusieurs ondes et pics déviant d'une ligne de base. Cette ligne de base est définie comme la superposition de tous les potentiels de repos du cœur. Les différents pics et ondes sont désignés par des lettres [5] (Fig. 1.3).

L'onde P correspond à la contraction des oreillettes. Son amplitude est de moins de 0.25 mV et elle dure moins de 120 ms. La dépolarisation des ventricules, et donc leur contraction, est associée au complexe QRS. Le pic a une amplitude de l'ordre de quelques millivolts et il dure environ 120 ms. Grâce à son amplitude, le complexe QRS constitue un bon point de référence du battement et il est typiquement utilisé pour calculer la fréquence cardiaque. Selon les dérivations les pics Q et S peuvent être plus marqués, mais sur la dérivation II ils sont peu visibles. L'onde T correspond à la repolarisation des ventricules. L'intervalle de temps entre le pic Q et la fin de l'onde T est inférieur à 450 ms [6].

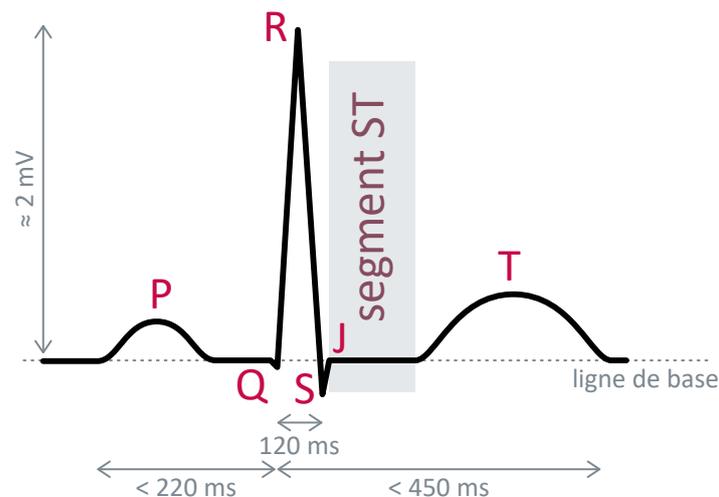


FIGURE 1.3 – Tracé schématisé de l'électrocardiogramme d'un battement cardiaque (dérivation II)

À partir de ces points de base, d'autres repères sont définis.

Le segment PR désigne l'intervalle de temps entre la fin de l'onde P et de début du complexe QRS. Il suit la ligne de base de l'ECG. Le point J désigne la fin du complexe QRS. Il est le premier point du segment ST, segment qui s'étend jusqu'au début de l'onde T. En temps normal ce segment est, lui aussi, situé sur la ligne de base du signal.

Interprétation d'un ECG

L'électrocardiogramme permet de détecter principalement deux types de pathologies cardiaques : les arythmies et l'ischémie.

Les arythmies sont des troubles du rythme cardiaque. Ce terme rassemble un grand nombre de pathologies différentes. On peut citer les fibrillations (contractions non coordonnées des atriums ou des ventricules), les extrasystoles (contractions spontanées d'une partie du cœur en dehors des contractions normales), ou encore les blocs cardiaques (difficultés ou absences de transmission de la dépolarisation des atriums aux ventricules). Pour détecter les arythmies, on s'intéresse surtout à la fréquence cardiaque, à la présence ou l'absence d'ondes et de pics, et aux intervalles de temps les séparant. Par exemple, si le rythme cardiaque est généré par les ventricules, l'onde P, associée aux atriums, sera absente. Au contraire, si on est en présence de fibrillation atriale, on aura une multitude d'ondes P de plus petites amplitudes. Pour effectuer un diagnostic d'arythmie, il est donc important

de segmenter l'ECG, c'est-à-dire de distinguer et d'annoter précisément les différentes ondes et pics.

Dans le cas de l'ischémie ou de l'infarctus on s'intéresse principalement au segment ST et à l'onde T. Généralement, un segment ST sus-décalé est un signe d'infarctus, sous-décalé il est signe d'ischémie [6]. Sa pente est aussi un élément caractéristique, même si cela peut aussi être dû à certains médicaments. Une inversion des ondes T ou une modification de leurs morphologies apporte aussi des informations utiles au diagnostic d'ischémie ou d'infarctus cardiaque. D'autres indicateurs sont utilisés par les cardiologues selon la dérivation concernée pour confirmer ou infirmer le diagnostic, mais, dans le cadre de cette thèse, nous nous concentrerons sur les variations du segment ST.

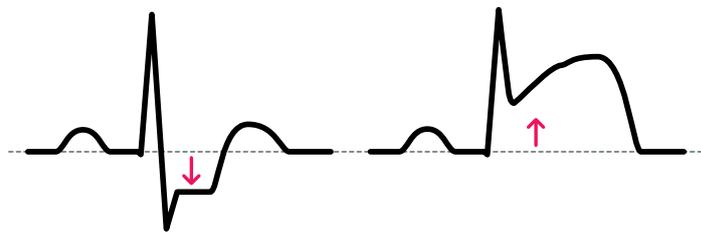


FIGURE 1.4 – Sous-décalage (gauche) et sus-décalage (droite) du segment ST

1.3.3 Bruits affectant l'ECG

L'ECG mesuré, comme tout signal, est superposé à de multiples bruits de différentes origines. Des approximations des bruits spécifiques à l'ECG peuvent être mesurés grâce à un placement judicieux des électrodes. Des enregistrements permettant de visualiser ces bruits sont disponibles dans la *MIT-BIH Noise Stress Test Database* [7]. Les bruits spécifiques à l'ECG ont le désavantage d'occuper des bandes de fréquences recouvrant celles de l'ECG et ne sont donc pas aisément filtrables. Les caractéristiques fréquentielles des bruits sont illustrées sur la figure 1.5.

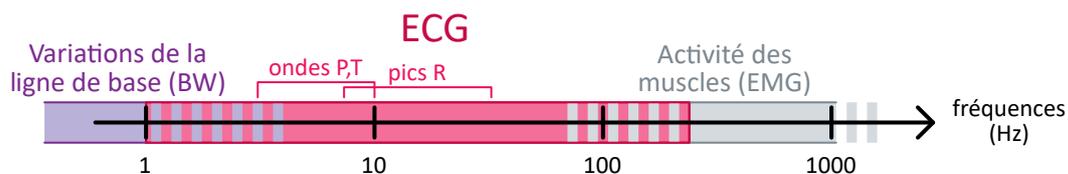
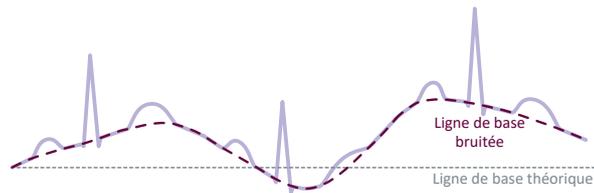


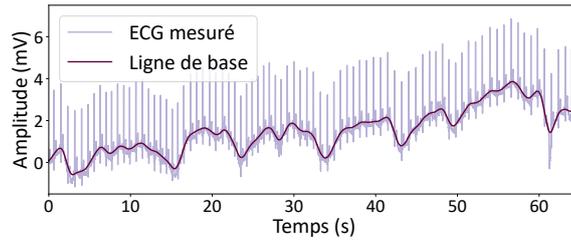
FIGURE 1.5 – Recouvrements des bandes de fréquences des bruits et de l'ECG, bandes de fréquences approximatives des pics R et des ondes P et T [2]

Les variations de la ligne de base

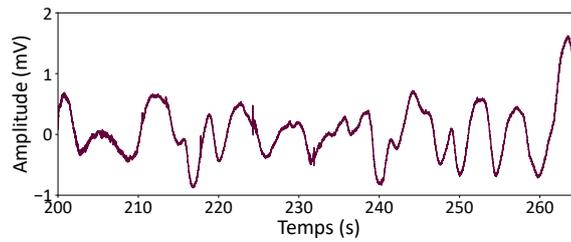
Les variations de la ligne de base, *baseline wander* (BW) en anglais, rassemblent tous les bruits de basses fréquences liés à l'activité du patient. C'est un bruit typiquement causé par la respiration, mais aussi par des mouvements lents (se pencher, se lever, etc.). Les fréquences considérées sont inférieures à quelques Hertz. L'amplitude de ce bruit peut aller jusqu'à plusieurs fois l'amplitude du pic QRS (Figure 1.6).



(a) Illustration schématique des variations de la ligne de base



(b) Enregistrement réalisé durant un travail de bureau

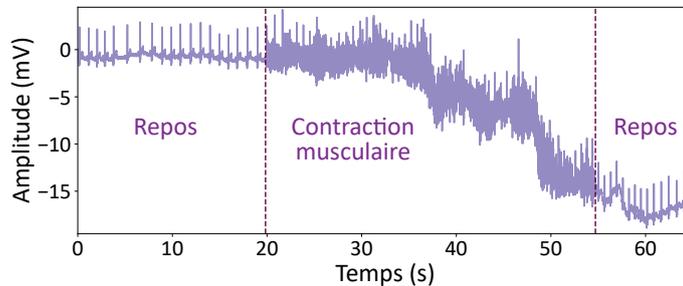


(c) Enregistrement bw de la base de données MIT-BIH (voir section 1.3.5)

FIGURE 1.6 – Variations de la ligne de base



(a) Illustration schématique de l'impact de l'EMG



(b) Enregistrement avec contraction des muscles du torse

FIGURE 1.7 – ECG bruité par l'EMG dû aux contractions musculaires

L'électromyogramme

L'électromyogramme (EMG) est la mesure de l'activité électrique des muscles. De la même manière que pour le cœur, la contraction des muscles est liée à une dépolarisation et donc à une variation de potentiel électrique que l'on peut mesurer. L'EMG peut permettre de détecter des mouvements particuliers [8] et ainsi de contrôler des prothèses ou de proposer d'autres formes d'interfaces homme-machine. Dans notre cas, c'est un signal parasite qui vient se superposer à l'ECG. Ce bruit est particulièrement visible lorsque les muscles contractés se trouvent proches des électrodes. Il s'apparente à des variations de faibles amplitudes et de hautes fréquences (Figure 1.7).

Autres bruits affectant la mesure d'ECG embarquée

L'ECG est soumis à d'autres bruits spécifiques. On peut par exemple citer les bruits dus aux mouvements brusques (*motion artifacts*) qui peuvent être provoqués par la course ou la montée d'escaliers. Ces mouvements brusques et glissements des électrodes sur la peau qu'ils provoquent créent des variations de l'impédance du contact peau-électrode. Les caractéristiques fréquentielles et temporelles de ce bruit dépendent fortement de l'activité en question [9]. Ces bruits sont particulièrement difficiles à éliminer et ne sont pas abordés dans cette thèse. Il existe cependant des tentatives d'élimination en utilisant des informations supplémentaires issues d'autres capteurs [10].

1.3.4 Méthodes de mesures existantes

Méthodes médicales

L'ECG est habituellement mesuré par les cardiologues et les services d'urgence. On peut distinguer trois types usuels de mesures d'ECG dans un cadre médical : la mesure d'ECG au repos, le test à l'effort et le holter ECG.

La mesure d'ECG au repos permet d'avoir une vision complète de la situation à un instant donné. C'est une mesure assez courte dans le temps (quelques minutes tout au plus) réalisée alors que le patient est calme et immobile. Elle permet d'obtenir un compte rendu d'une durée de quelques battements rassemblant les douze dérivations.

Certains phénomènes peuvent être invisibles au repos. On effectue alors une mesure lors d'un effort physique en demandant, par exemple, au patient de courir sur un tapis roulant ou de pédaler sur un vélo. L'intensité de l'effort est augmentée de manière graduelle jusqu'à un maximum défini en fonction des caractéristiques du patient ou jusqu'à ce qu'une anomalie soit détectée. La mesure doit se dérouler dans un environnement médical équipé de matériel de réanimation et sous la surveillance d'un cardiologue pour assurer une prise en charge instantanée du patient en cas d'événement grave provoqué par l'effort.

Enfin, certains phénomènes peuvent être suffisamment peu fréquents dans le temps, et donc avoir une probabilité très faible de survenir pendant une mesure de seulement quelques minutes. C'est typiquement le cas des arythmies. On utilise alors un holter ECG, c'est-à-dire un dispositif d'enregistrement d'ECG portable. Il mesure le signal sur un nombre réduit de dérivations pendant un ou plusieurs jours. L'enregistrement est ensuite transmis à un praticien qui l'analysera via un logiciel

adapté ou directement en visualisant les signaux sauvegardés. Le boîtier du holter a une taille de l'ordre d'un téléphone portable et est relié aux électrodes placées sur le patient via des câbles. Cependant, la durée de la mesure ne peut dépasser quelques jours. En effet, les électrodes ne doivent pas être gardées trop longtemps collées sur la peau pour éviter les irritations, et le boîtier et les câbles peuvent être assez encombrants et ne peuvent pas toujours être portés 24 heures sur 24.

Il existe d'autres méthodes de mesures, mais qui sont moins communément utilisées. Par exemple, dans les cas où la fréquence est si faible que même un enregistrement de quelques jours ne suffit pas à détecter les événements pathologiques, on peut se tourner vers des dispositifs implantables. Ce sont de petits boîtiers qui sont introduits dans le corps du patient, ou qui se glissent juste sous la peau comme le *RevealLinq* [11]. Ce genre de système peut être gardé pendant plusieurs années et fournir des informations en continu sur l'ECG du patient. Ce dispositif est spécifique aux arythmies. Une fois le système installé, bien qu'il soit invasif, il n'impose aucune limite de mouvements au patient. Il peut aussi fournir des alertes lorsqu'il détecte des rythmes anormaux. Ces alertes sont transmises, via une station de base, au cardiologue.

Méthodes commerciales

On peut aussi mentionner les systèmes grand public, comme les montres connectées, qui mesurent la fréquence cardiaque et réalisent parfois des interprétations d'ECG. Les systèmes Fitbit proposent une détection d'irrégularité du rythme cardiaque et permettent, selon une étude clinique rapidement décrite dans le manuel d'utilisation [12], une détection de la fibrillation auriculaire dans 98.7 % des cas. Les Apple Watch proposent le même type de mesure avec un taux de détection de 98.3 % [13]. La mesure se réalise entre les deux mains, l'une étant en contact avec le dos de la montre et l'autre avec un anneau métal sur le devant de la montre. Cependant, la mesure est conçue pour être effectuée au repos, l'utilisateur étant assis et immobile, les bras posés sur une table ou sur ses cuisses pour limiter ses mouvements et les perturbations du signal qu'ils provoquent, et ne peut donc pas vraiment être considérée comme une mesure continue de l'ECG.

1.3.5 Bases de données

Il existe des bases de données d'ECG annotées par des spécialistes qui permettent de qualifier les performances de systèmes de mesure ou d'interprétation. Le site internet [Physionet](#) en répertorie quelques dizaines en accès libre [7]. Certaines de ces bases de données se sont imposées comme des références pour l'évaluation de systèmes traitant l'ECG. La plus connue est certainement la *MIT-BIH Arrhythmia Database*, constituée de 48 enregistrements de deux dérivations pendant une demi-heure. Chaque enregistrement a été annoté par 2 spécialistes ou plus en cas de conflits. Les annotations renseignent la position des pics R, mais signalent aussi les arythmies visibles (extrasystoles, fibrillations, etc.). On en retrouve d'autres comme l' *European ST-T Database* constituée de 90 enregistrements où ce sont les variations du segment ST qui sont annotées, ou la *MIT-BIH Noise Stress Test Database* qui fournit, entre autres, des enregistrements des bruits spécifiques à l'ECG permettant de tester la résilience au bruit des électrocardiographes et des algorithmes de diagnostic automatique.

1.4 Conclusion et objectifs de la thèse

L'ischémie cardiaque est une vascularisation insuffisante du cœur, le plus souvent due à une obstruction partielle ou complète d'une des artères coronaires. Les cellules du muscle sont alors en hypoxie et, si la situation perdure, finissent par mourir. L'infarctus du myocarde est cette nécrose d'une partie du muscle et peut provoquer, selon l'étendue et la position de la nécrose, une insuffisance cardiaque durable voir une défaillance cardiaque. La détection de l'ischémie permet de réagir avant que la nécrose ne survienne et donc de prévenir ses conséquences. Elle peut être réalisée grâce à l'électrocardiogramme (ECG).

L'ECG est une mesure de l'activité électrique du cœur via des électrodes placées à la surface de la peau. Le signal électrique possède une morphologie caractéristique et ses points spécifiques sont désignés par des lettres. Le segment ST est une des parties observée en priorité lors d'un diagnostic d'ischémie ou d'infarctus, particulièrement son niveau et sa pente.

Le suivi de pathologies cardiaques par un système embarqué via l'ECG est un champ actif de la recherche, mais la très grande majorité de ces systèmes abordent la mesure de la fréquence cardiaque ou la détection des arythmies, et les rares articles abordant la détection d'ischémie se cantonnent à des études théoriques.

Pourtant, la conception d'un système embarqué détectant l'ischémie cardiaque permettrait à un patient d'être prévenu et de pouvoir réagir dans les temps, et ainsi d'éviter l'infarctus. C'est pourquoi nous avons choisi d'étudier et de concevoir un tel système.

Le traitement de l'ECG et la mesure des variations du segment ST en embarqué se heurtent à plusieurs difficultés. En plus des contraintes de taille et d'autonomie du système pour gêner au minimum le patient dans sa vie quotidienne, le système devra être capable de discerner les informations médicales des nombreux bruits qui se superposent à l'ECG dus aux mouvements, à la respiration ou encore à l'activité musculaire du patient.

Dans ce contexte, ce travail de thèse s'est focalisé sur la conception d'une puce électronique pour l'extraction et le traitement du segment ST à partir de l'ECG. La problématique principale et le fil rouge de ces travaux est la nécessité de garantir la fiabilité du circuit en s'assurant que le segment ST n'est pas déformé lors des différentes étapes du traitement. Le chapitre 2, grâce à une approche basée sur les normes éditée par l'*International Electrotechnical Commission* (IEC) de distorsion et sur une étude approfondie de l'état de l'art permet de spécifier un système de suivi de l'ischémie cardiaque. Le chapitre 3 détaille la conception d'un étage d'acquisition analogique répondant au cahier des charges. Le chapitre 4 rappelle les principes théoriques de la transformée en ondelettes dans le contexte du traitement numérique de l'ECG. Il liste aussi les différentes ondelettes qui seront comparées dans le chapitre 5, qui décrit la conception d'un circuit intégré implémentant la transformée en ondelettes dans le contexte du suivi d'ischémie cardiaque.

Chapitre 2

Spécifications du système de suivi d'ischémie cardiaque

2.1 Introduction

Un système embarqué mesurant un signal est constitué de trois étapes : un traitement analogique (*Analog Front End, AFE*) aussi appelé *front-end* analogique, une conversion analogique-numérique (*Analog to Digital Converter, ADC*) et une étape de traitements numériques (Fig. 2.1). C'est le cas de la puce présentée dans [14] qui acquiert, numérise et extrait des informations d'un signal sonore, mais aussi de celles présentées par [15, 16, 17] qui traitent les ECG afin de détecter la fréquence cardiaque ou même de détecter et différencier les arythmies.

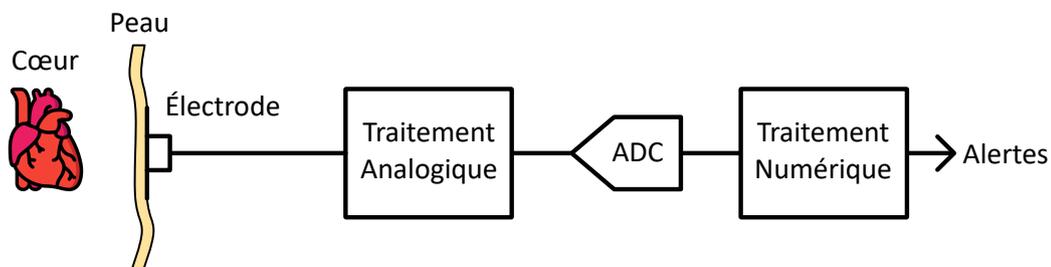


FIGURE 2.1 – Architecture générale d'un système embarqué de suivi de pathologie cardiaque

Dans ce chapitre, nous aborderons les contraintes, les solutions théoriques et les implémentations existantes de ces différents blocs dans le cas du suivi de pathologies cardiaques. Bien que notre objectif soit la détection d'ischémie cardiaque, la majorité des travaux utilisés comme références dans ce chapitre concernent la mesure de la fréquence cardiaque ou la détection d'arythmies. Néanmoins, leur étude permet d'appréhender les problématiques du traitement embarqué de l'ECG. Elle permet aussi de distinguer les blocs qui sont compatibles avec une détection d'ischémie et ceux qui ne le sont pas.

Dans un premier temps, nous aborderons la problématique de déformation de l'information médicale et nous introduirons une méthode de quantification de la distorsion du segment ST afin de pouvoir comparer les performances de notre système aux normes existantes. Cette méthode sera uti-

lisée dans la deuxième partie qui aborde les spécifications du *front-end* analogique. Ensuite, nous décrirons les performances attendues de l'ADC et les architectures existantes qui peuvent répondre à nos besoins. Enfin, la dernière partie donne un aperçu des différents traitements numériques existants, que ce soit les méthodes d'élimination du bruit, de segmentation du signal ou encore d'interprétation de l'ECG. Chaque partie conclut sur les spécifications du bloc concerné et sur les choix réalisés qui guideront la conception.

2.2 Mesure de la distorsion de l'ECG

La préservation de l'information médicale lors des différents traitements de l'ECG est une performance cruciale pour garantir la fiabilité du diagnostic. Cependant, ce sujet n'est que rarement abordé dans la littérature. En effet, la plupart du temps, la distorsion du signal se mesure grâce à des métriques qui ne prennent pas en compte les spécificités de l'ECG, comme le fait que des déformations des différentes parties de l'ECG n'ont pas le même impact sur l'information médicale.

Pour remédier à ce manque, en nous appuyant sur des normes concernant spécifiquement l'ECG et après une étude des quelques articles abordant la distorsion de l'ECG, une nouvelle méthode de mesure de la distorsion du segment ST a été mise en place. Elle se concentre sur cette partie de l'ECG puisqu'elle contient des informations nécessaires au diagnostic de l'ischémie cardiaque.

2.2.1 Normes

Différents organismes nationaux et internationaux donnent des recommandations et des seuils de performances minimales des électrocardiographes et autres systèmes mesurant l'ECG.

L'*American Heart Association* (AHA) [18] donne comme recommandation de ne pas réaliser de filtrage passe-haut analogique ayant une fréquence de coupure de plus de 0.05 Hz, mais ne donne pas de contraintes quantitatives sur la déformation du signal.

La norme internationale de l'*International Electrotechnical Commission* (IEC) numéro 60601-2-25 :2011 [3] est plus complète. Elle définit les exigences minimales des électrocardiographes et, entre autres, le niveau de distorsion maximal qu'un électrocardiographe peut introduire lors de la mesure de l'ECG. Plus particulièrement encore, le paragraphe 201.12.4.107.1.2 décrit les résultats attendus lorsque des ECG d'étalonnage sont présentés en entrée de l'électrocardiographe. Ces exigences sont résumées dans la table 2.1. On notera que, dans le cas d'un système dédié à l'ischémie cardiaque, il est primordial que la distorsion du segment ST respecte cette norme en termes de déviation de niveau et de pente, puisque ce sont les premiers critères utilisés lors d'un diagnostic s'appuyant sur l'ECG.

2.2.2 Mesures de la distorsion de l'ECG dans la littérature

Habituellement, les indicateurs de distorsion utilisés sont le rapport signal sur bruit (*Signal over Noise Ratio*, SNR) et l'erreur quadratique moyenne (MSE). D'autres indicateurs sont parfois utilisés comme le taux de distorsion harmonique total (*Total Harmonic Distorsion*, THD), ou encore le *Percent-Root Distortion* (PRD). Il faut noter que la signification et la formule du PRD peut varier selon les équipes de recherches. Les équations 2.1 donnent les définitions des indicateurs, avec s_o le

TABLE 2.1 – Exigences de la norme IEC [3] en matière de distorsion

Caractéristique de l’ECG	Marge d’erreur acceptée
Amplitude des pics RS	< 5%
Bruit d’appel avant et après le complexe QRS	< 25 μ V
Niveau du segment ST, entre 20 et 80 ms après le complexe QRS	< \pm 25 μ V
Pente du segment ST	< 0.05mV/s

signal déformé et s_i le signal de référence, tous deux de même longueur L . Aucun de ces indicateurs n’est spécifique à l’ECG et ils accordent la même importance aux déviations en tout point du signal sans tenir compte de la signification de la partie de l’ECG impactée. Certains essayent de compenser ce défaut de ces indicateurs en pondérant les mesures pour donner plus d’importance aux motifs comme le complexe QRS, l’onde P et l’onde T [19].

$$\text{SNR} = \frac{\sqrt{\sum_k s_o[k]^2/L}}{\sqrt{\sum_k (s_o[k] - s_i[k])^2/L}} \quad (2.1a)$$

$$\text{MSE} = \frac{1}{L} \sum_k (s_o[k] - s_i[k])^2 \quad (2.1b)$$

Néanmoins, quelques articles abordent la problématique de la mesure de la distorsion de l’ECG durant l’acquisition et le traitement de celui-ci.

Dans [20], les auteurs étudient l’influence de l’impédance d’entrée et des caractéristiques des électrodes sur le bruit d’appel selon les critères de la norme IEC [3]. Ils concluent que l’étage d’acquisition analogique doit avoir une impédance d’entrée de plus de 3 G Ω et que la fréquence de coupure du filtre passe-haut analogique destiné à éliminer la ligne de base ne doit pas dépasser 0.05 Hz.

La référence [21] mentionne que l’élimination de la ligne de base déforme le segment ST. Les auteurs quantifient la déviation du segment ST pour 5 traitements numériques, mais ne comparent pas ces valeurs au seuil donné par la norme IEC. La méthode déformant le moins le segment ST est basée sur la transformée en ondelettes et donne une différence de niveau de \pm 41 μ V, qui est donc supérieure au seuil défini dans la table 2.1.

Ces études ont été réutilisées par l’article [22] qui propose une méthode de modélisation d’un battement cardiaque permettant à la fois d’éliminer la BW mais aussi de segmenter l’ECG. Ces travaux théoriques annoncent une différence de niveau inférieur à \pm 8 μ V, mais nécessitent de résoudre un problème d’optimisation non linéaire à chaque battement. Cette méthode apparaît comme très complexe et donc inadaptée au traitement embarqué.

2.2.3 Méthodologie de mesure de la distorsion du segment ST

Dans ces travaux, il a été choisi de s’appuyer sur la norme IEC pour quantifier la distorsion du segment ST puisque c’est cette partie de l’ECG qui porte l’information utile pour un diagnostic d’ischémie.

Une méthode spécifique a donc été mise au point pour mesurer la déviation de niveau et de pente et a été publiée et présentée lors de la conférence LASCAS 2023 [23]. Le déroulement est illustré sur la figure 2.2. Elle repose sur la comparaison des caractéristiques du segment ST entre un ECG de référence et ce même ECG auquel le traitement à qualifier aura été appliqué.

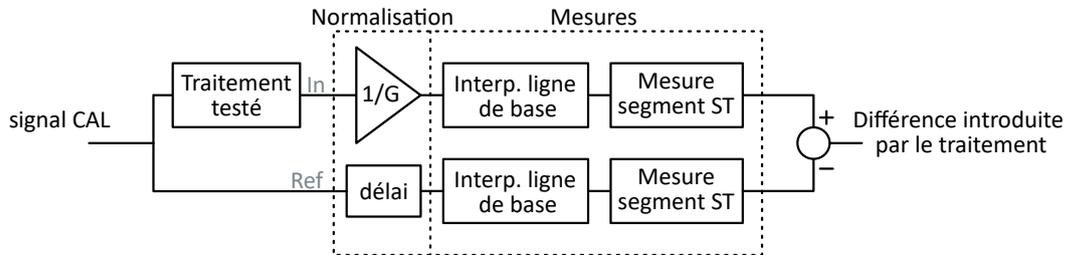


FIGURE 2.2 – Schéma-bloc de la mesure de la distortion du segment ST causé par un traitement de l'ECG

Les ECG utilisés sont quatre signaux d'étalonnage fournis par la norme IEC (Fig. 2.3). L'amplitude de leurs pics R est de 2 mV. Deux des ECG présentent respectivement un sus et sous-décalage du segment ST de $200 \mu\text{V}$ et le dernier présente un pic S d'amplitude 2 mV. L'avantage de ces signaux par rapport à des signaux ECG mesurés est que l'on est certain qu'ils ne contiennent pas de bruit. Dans le cas contraire, une différence introduite par le traitement d'élimination du bruit pourrait être considérée à tort comme une déformation du signal alors qu'il s'agissait d'un filtrage réussi.

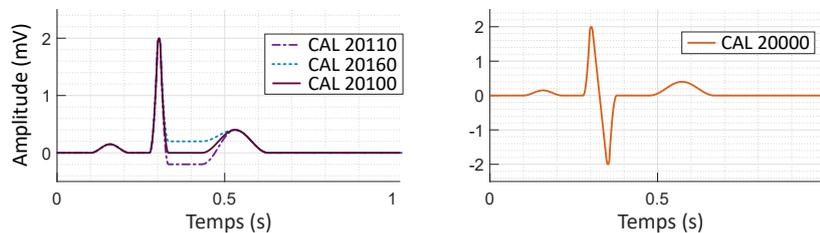


FIGURE 2.3 – Signaux d'étalonnage fournis par la norme IEC [3]

Pour constituer un signal de longueur suffisante, plusieurs battements sont mis bout-à-bout en respectant un écart entre pics R correspondant à la fréquence cardiaque spécifiée dans la norme : 60 bpm. En réalité, cet écart n'est jamais exact ou parfaitement constant dans le temps. De plus, les traitements étudiés peuvent apparaître meilleurs qu'ils ne le sont à cause de cet écart idéal, si le pas de temps est astucieusement choisi. Pour éviter ce phénomène et pour rendre les performances plus réalistes, on fait varier aléatoirement la longueur de cet écart entre pics R avec une variance simulant la variance de la fréquence cardiaque (HRV).

La méthode de mesure de la distortion du segment ST a été implémentée grâce à un script MATLAB, puis un script Python.

La première étape consiste à normaliser les deux signaux In et Ref. Le traitement étudié peut avoir amplifié et retardé le signal In en plus de l'avoir déformé. Pour pouvoir comparer chaque battement de In avec le battement original présent dans le signal Ref, on annule le gain subi par In et on retarde le signal Ref. Ces deux opérations sont réalisées en utilisant comme références l'amplitude et la position des pics R des deux signaux. Comme cette méthode ne sera pas implémentée sur un

circuit, on s'autorise à utiliser des fonctions complexes : les pics R sont détectés grâce à une combinaison d'un filtrage passe-bande similaire à celui utilisé par l'algorithme de Pan-Tompkins (détaillé en 2.5.2), et de fonctions dédiées comme `find_peaks()` fournies par la librairie `scipy.signal` en Python, qui permettent de paramétrer la proéminence et l'écartement attendus entre les pics.

L'étape de mesure est la même pour les deux branches et se réalise battement par battement. Cette mesure se veut le reflet d'une mesure qui pourrait être implémentée sur un circuit embarqué, et donc peu complexe. De cette manière, les erreurs introduites par la mesure sont aussi prises en compte. Le signal est filtré par un passe-bas de fréquence de coupure 200 Hz pour limiter l'impact du bruit EMG. La ligne de base est interpolée linéairement sur le battement complet à partir du segment PR qui est isoélectrique. De même le segment ST est interpolé linéairement. On va ensuite soustraire la ligne de base au segment ST pour obtenir la déviation et la pente du segment ST. Par exemple, dans le cas du signal CAL 20160 non traité, la déviation devrait être égale à $200 \mu\text{V}$ et dans le cas de CAL 20100, à $0 \mu\text{V}$. Une illustration de la méthode est présentée sur la figure 2.4. On obtient deux vecteurs pour In, un contenant toutes les déviations de niveau du segment ST et l'autre toutes les déviations de pentes. La même méthode permet d'obtenir les deux vecteurs donnant les déviations et les pentes du segment ST pour Ref.

La dernière étape est la comparaison de ces vecteurs entre les deux branches. Comme les signaux Ref et In ont été traités de la même manière, la différence des vecteurs donnera la distorsion du segment ST introduite par le traitement évalué.

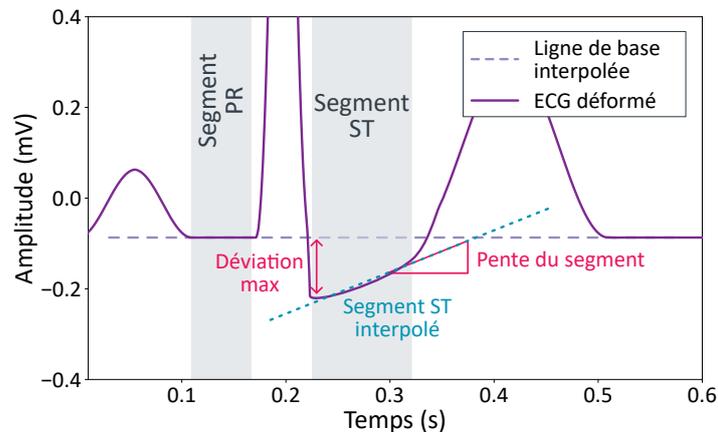


FIGURE 2.4 – Distorsion du segment ST, mesure de la déviation de pente et de niveau

Cette méthode est utilisée dans la suite pour évaluer la distorsion introduite par différents blocs, que ce soit lors de l'étude préliminaire de la section suivante, la réalisation du *front-end* analogique ou du traitement numérique intégré.

2.3 Front-End Analogique

Le front-end analogique, ou AFE, est le premier traitement appliqué à l'ECG. Ses objectifs sont de préparer le signal à la numérisation en l'amplifiant et de réaliser une première élimination des bruits.

La performance du filtrage va permettre de réduire la complexité et donc le coût de l'ADC. En effet, les bruits affectant l'ECG peuvent être d'amplitudes très importantes. Si le filtrage est insuffisant et que ce sont les bruits qui imposent l'amplitude du signal à convertir, l'ADC devra être capable de prendre en entrée une plage de tension bien supérieure à celle qui serait nécessaire pour un ECG peu ou pas bruité. De plus, l'ADC doit assurer une précision dépendant de l'amplitude de l'ECG non bruité sur toute cette large plage de tension et donc plus il reste de bruit à l'issue du filtrage, plus la complexité du convertisseur augmente. La tendance est donc plutôt de réaliser autant de traitements analogiques que possible pour simplifier, et par là réduire le coût de l'implémentation de l'ADC.

Cependant, tout filtrage ou traitement est source de distorsion. Si le signal est trop déformé, l'information médicale sera perdue : tout traitement numérique, aussi complexe soit-il, ne pourra pas fournir de données fiables. Il faut donc trouver un compromis entre filtrage important pour simplifier l'ADC et distorsion introduite lors de celui-ci.

Dans la section 2.3.2, nous aborderons les AFE existants et leurs performances en termes de distorsion après avoir rapidement rappelé les problématiques liées aux électrodes dans la section 2.3.1, puis nous concluons quant aux spécifications d'un AFE adapté à la détection d'ischémie cardiaque.

2.3.1 Électrodes

La conception d'un étage analogique d'acquisition d'un ECG doit prendre en compte les capteurs utilisés. Dans le cas de l'ECG, il s'agit communément d'électrodes à placer sur la peau du patient.

Les électrodes les plus communément utilisées dans le domaine médical sont des électrodes à gel à usage unique qui se collent sur le torse. Elles ont cependant le désavantage de ne pas pouvoir être utilisées sur de longues périodes : elles ont tendance à irriter la peau et doivent être remplacées régulièrement, dès que le gel sèche.

Une des alternatives est l'utilisation d'électrodes sèches, c'est-à-dire sans gel. Elles ne souffrent pas des désavantages décrits précédemment et peuvent être utilisées sur de plus longues durées [24, 25]. Elles peuvent aussi être intégrées à des vêtements. On parle alors de systèmes *wearable*, plus confortables et moins encombrants que les boîtiers reliés par des câbles à des électrodes à gel. L'étude des électrodes sèches n'est pas nouvelle [26], mais ce type d'électrode reste moins intéressant que les électrodes à gel pour l'instant. En effet, il a aussi ses propres désavantages qu'il faut compenser si l'on souhaite atteindre des performances correctes. La principale problématique est la médiocrité du contact avec la peau, introduisant des variations de l'impédance du contact et du bruit comme en cas de frottements sans changement de la surface de contact [27]. En outre, la très haute impédance du contact électrode sèche-peau impose à l'étage d'acquisition analogique d'avoir une impédance d'entrée de l'ordre du gigaohm [28]. C'est pourquoi, cette impédance d'entrée est une des performances souvent mise en avant dans les articles de la littérature présentés dans la suite.

Les systèmes de mesure d'ECG implantables, comme le RevealLinq [11], permettent d'éviter toutes les difficultés et bruits dus au contact électrode-peau, et simplifient la conception de tout l'étage d'acquisition. Cependant, l'appréhension vis-à-vis de l'opération, même minime dans le cas d'un système qui se glisse sous la peau, et le fait d'être privé de la liberté d'arrêter le suivi à tout

moment peut décourager le patient d'utiliser un système implantable.

C'est pourquoi, dans ces travaux, nous considérons que les électrodes sont posées sur la peau du patient et donc que l'ECG est affecté par des bruits d'amplitudes conséquentes dus au contact peau-électrode. Cependant, nous n'avons pas étudié précisément l'impact du choix de l'électrode, à gel ou sèche, sur l'étape d'acquisition, et l'impédance d'entrée de l'AFE n'a donc pas été optimisée.

2.3.2 Les architectures d'AFE pour l'ECG

L'AFE doit amplifier le signal ECG et filtrer les différents bruits avant la conversion analogique-numérique. Le gain est habituellement de l'ordre de 100 V/V pour que l'amplitude de l'ECG, de l'ordre de plusieurs millivolts, occupe une part raisonnablement grande de la plage de tension en entrée de l'ADC, de l'ordre du volt.

C'est le filtrage des bruits qui représente la principale spécificité et la difficulté de la réalisation d'un AFE pour la détection d'ischémie. L'élimination des bruits basses fréquences et de la composante continue d'un signal par un traitement analogique revient généralement à réaliser un filtrage analogique. Dans le cas de l'ECG, l'information utile du signal est présente entre quelques Hertz et quelques centaines de Hertz. Un filtre passe-haut de fréquence de coupure inférieure à 1 Hz est donc nécessaire pour éliminer les bruits tels que la BW. Atteindre une fréquence de coupure aussi basse avec un filtre passif n'est pas une chose raisonnablement réalisable sur une puce électronique car les composants nécessaires requièrent une surface beaucoup trop importante. Un filtre passif peut être réalisé à l'extérieur de la puce [29], en ajoutant un circuit imprimé. Cependant, cette solution augmentera considérablement le volume du système. Il faut donc trouver un autre moyen de réaliser ce filtrage.

Assez rarement, on trouve des études de traitement analogique complexe, comme celle présentée par [30], qui propose de supprimer les variations de la ligne de base via une implémentation analogique de moyennes glissantes.

D'autres solutions permettent d'atteindre une fréquence de coupure inférieure à 1 Hz. Dans la littérature, on distingue principalement deux catégories d'amplificateurs décrites dans ce qui suit.

Les amplificateurs à pseudo résistance

Le *Capacitively-Coupled Instrumentation Amplifier (CCIA)*, est un amplificateur couramment utilisé pour l'acquisition de signaux biologiques. L'architecture générique d'un CCIA est présentée par la figure 2.5. Le gain est imposé par le rapport de C_f et C_i . L'amplificateur a un comportement passe-haut grâce à une pseudo-résistance R_f . La fréquence de coupure est de $1/(2\pi R_f C_f)$. D'autre part, la capacité de liaison C_i permet d'éliminer l'offset continu causé par le contact entre l'électrode et la peau. Avec une telle architecture, pour une capacité de 10 pF et une fréquence de coupure de 1 Hz, il est nécessaire d'implémenter une résistance de 15 gigaohm, ce qui est bien trop élevé pour être réalisé avec une résistance intégrée.

La solution permettant d'obtenir une résistance suffisamment élevée en intégré est l'utilisation de pseudo-résistances. Il s'agit d'une association de transistors permettant d'atteindre des valeurs de résistances supérieures au gigaohm.

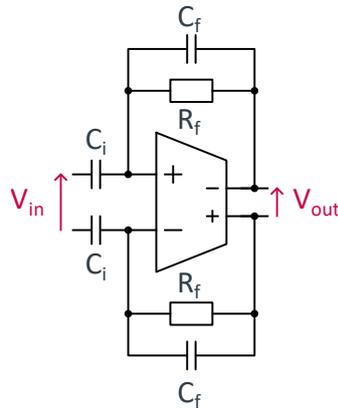


FIGURE 2.5 – Architecture générique d’un CCIA

C’est le cas du CCIA implémenté par la référence [31]. Pour atteindre une fréquence de coupure d’une dizaine de millihertz, le CCIA présenté inclue une pseudo-résistance d’environ $6 \text{ T}\Omega$. L’amplificateur ainsi réalisé a un gain de 34 dB, une fréquence de coupure de 0.06 Hz et présente aussi une boucle de rétroaction positive pour augmenter l’impédance d’entrée. La référence [32] a une architecture similaire et a une fréquence de coupure de 0.9 Hz et un gain de 34.6 dB.

Le désavantage majeur de cette architecture dans le cas des signaux biomédicaux est que l’amplification, comme toute amplification réalisée par un circuit composé de transistors, génère du bruit de scintillation (*flicker noise*) ou encore appelé bruit en $1/f$. Ce bruit affecte particulièrement les basses fréquences, plage dans laquelle se situe l’ECG, et peut aisément déformer le segment ST.

La section suivante propose une architecture répondant à cette problématique.

Les amplificateurs-hacheurs

Le bruit de scintillation affectant principalement les basses fréquences, une transposition du signal en hautes fréquences avant l’amplification grâce à un hacheur permet de sortir le signal de la zone problématique. La plage de fréquences à atteindre dépend de la technologie utilisée et doit être déterminée au préalable. Une fois l’amplification réalisée, le signal est ramené à ses fréquences originales par un autre hacheur.

Ce type d’amplificateur est appelé *Chopper Amplifier (CA)*, en français amplificateur-hacheur (Figure 2.6a). L’architecture de l’amplificateur à proprement parler est libre. Il peut s’agir d’un montage à trois amplificateurs [28], mais aussi d’un CCIA [33, 34].

Dans le cas des CA, on utilise le plus souvent une boucle de rétroaction spécifique pour supprimer les basses fréquences : une *DC Servo Loop (DSL)*. Il s’agit d’un intégrateur qui mesure les composantes basses fréquences. L’intégrale obtenue est ensuite réinjectée dans le circuit de manière à être soustraite de l’ECG. Le comportement d’une DSL est équivalent à celui d’un filtre passe-haut. L’architecture générique d’un amplificateur-hacheur basé sur une architecture de CCIA est illustrée par la figure 2.6b.

Un amplificateur-hacheur associé à une DSL est implémenté par [33, 15, 34, 28, 35, 16, 36]. Ces implémentations obtiennent des gains de l’ordre de 30 à 50 dB, des fréquences de coupure du comportement passe-haut de 0.05 à 0.5 Hz avec une fréquence de hachage de l’ordre du kilohertz.

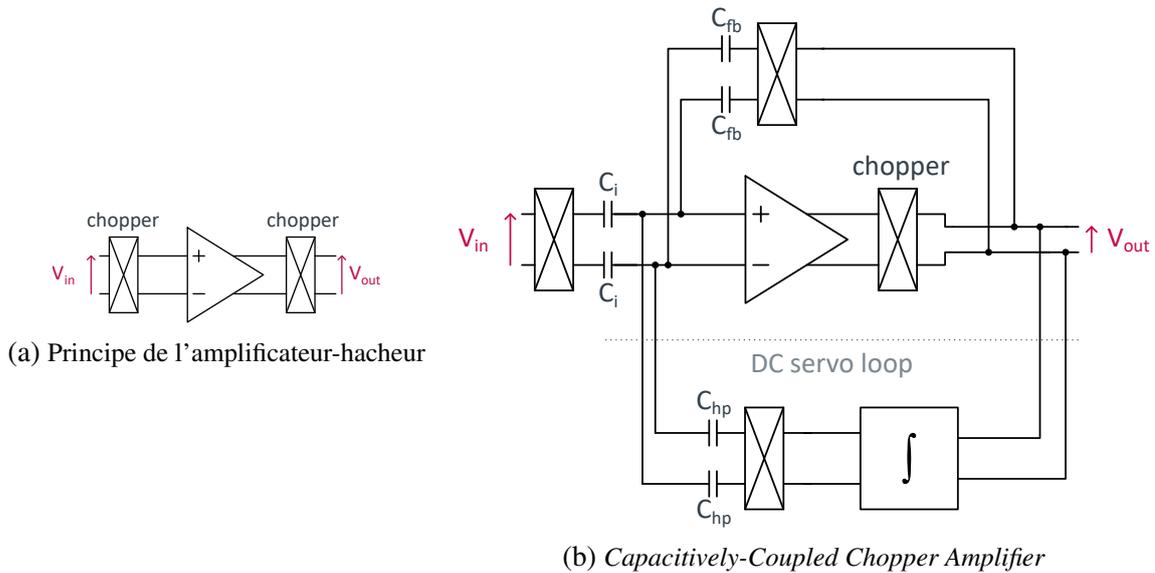


FIGURE 2.6 – Architectures d'amplificateurs-hacheurs

2.3.3 Distorsions dues au filtrage analogique de la ligne de base

Les deux architectures principalement utilisées dans les AFE destinés à l'acquisition d'ECG ont un comportement de type passe-haut du premier ordre permettant d'éliminer la ligne de base. Or, un filtrage passe-haut analogique va introduire une distorsion de phase. Un exemple est donné sur la figure 2.7 pour des fréquences de coupure de 0.03 et 0.5 Hz. La distorsion va déformer à la fois le segment PR, et donc l'interpolation qui sera faite de la ligne de base, et le segment ST.

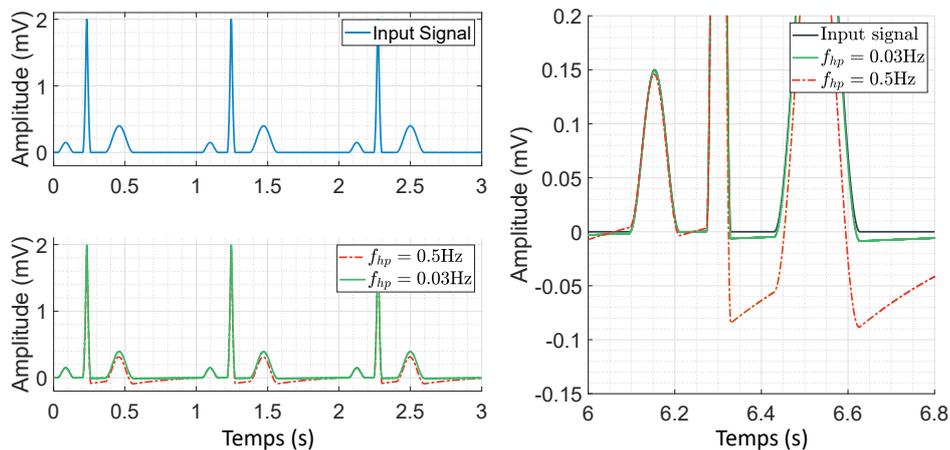


FIGURE 2.7 – Influence de la fréquence de coupure d'un filtre passe-haut du 1^{er} ordre sur la distorsion du segment ST

La recommandation de l'AHA n'est pas respectée par tous les AFE de la littérature présentés précédemment et il faut donc s'attendre à ce que la distorsion soit trop importante. Une étude préliminaire a été réalisée pour déterminer quelle fréquence de coupure maximale est autorisée par la

norme IEC, pour pouvoir la comparer avec celle donnée par l’AHA. Les résultats ont été obtenus via MATLAB et LTSpice, en utilisant la méthode d’évaluation de la distorsion décrite par la section 2.2, et sont présentés par la figure 2.8.

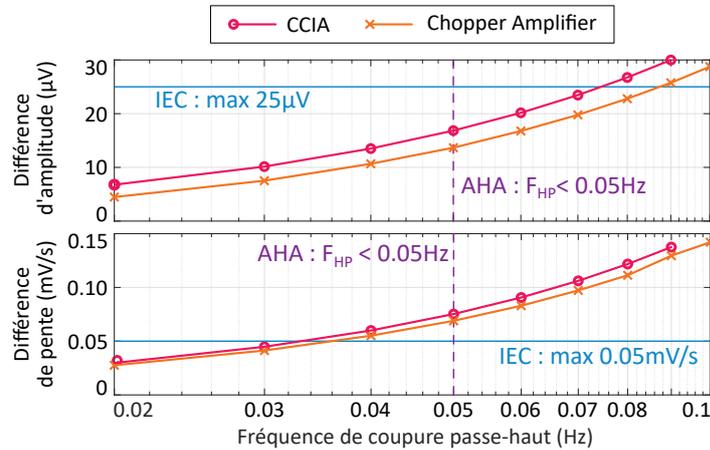


FIGURE 2.8 – Comparaison de la distorsion du segment ST introduite par le filtrage passe-haut des AFE de type CCIA et CA

Les deux configurations comparées, un CCIA et un CA basé sur un CCIA, ont un même gain de 10. Les courbes obtenues sont les pires cas de distorsion mesurée sur l’ensemble des signaux d’étalonnage de la figure 2.3. On remarque que l’architecture CA introduit moins de distorsion que l’architecture CCIA. On remarque aussi que les recommandations de l’AHA sont moins contraignantes que celles de l’IEC : pour satisfaire les conditions de l’IEC, il faut une fréquence de coupure de moins de 0.03 Hz. On notera que la contrainte la plus exigeante est celle portant sur la pente introduite dans le segment ST.

2.3.4 Spécifications de l’AFE

L’architecture qui semble la plus adaptée à l’acquisition de l’ECG est le *Capacitively-Coupled Chopper Amplifier*. En effet, cette architecture présente un filtrage passe-haut pour éliminer les variations de basses fréquences et une entrée sur une capacité pour éliminer l’offset DC, tout comme le CCIA, mais elle permet aussi de limiter l’impact du bruit de scintillation. Ce bruit est particulièrement problématique dans notre cas puisqu’il est important en basse fréquence, plage dans laquelle se situe aussi l’ECG.

Cependant, aucune des implémentations connues de cette architecture pour l’ECG ne mentionne la distorsion introduite par cet AFE, et leurs fréquences de coupures sont trop hautes pour que l’on puisse affirmer, grâce aux résultats de l’étude préliminaire, que la distorsion sera inférieure aux seuils donnés par l’IEC.

Il a donc été choisi de réaliser un AFE de type *Capacitively-Coupled Chopper Amplifier*. Les objectifs de cette réalisation sont multiples. Il s’agit de concevoir un amplificateur de faible consommation et de faible surface tout en s’assurant qu’il respecte la norme IEC en ce qui concerne la distorsion du segment ST. On attend donc les performances suivantes :

- La consommation et la surface doivent être du même ordre de grandeur que celles des AFE présentés par [33, 15, 28, 36].
 - Le segment ST en sortie ne doit pas dévier de plus de $25 \mu\text{V}$ et ne doit pas présenter de pente de plus de 0.05 mV/s lorsque l'entrée est un ECG d'étalonnage fourni par la norme IEC.
- La conception analogique de ce circuit est présentée en détail dans le chapitre 3.

2.4 Convertisseur Analogique-Numérique

Le convertisseur analogique-numérique (*Analog to Digital Converter*, ADC) est le circuit électronique réalisant la transcription du signal continu en un signal numérisé au travers de deux étapes : l'échantillonnage-blocage qui discrétise les valeurs en temps et en amplitude, puis l'encodage numérique qui attribue à chaque valeur une valeur binaire. La précision de conversion (résolution), c'est-à-dire l'écart entre la valeur codée et la valeur d'origine, s'obtient généralement au détriment de la consommation, de la surface du circuit et de la fréquence d'échantillonnage. C'est cette résolution qui nous donnera la distorsion introduite par l'ADC.

Généralement, l'échantillonnage du signal est uniforme : la valeur du signal analogique est échantillonnée à une fréquence fixe. La performance de ce type d'ADC est habituellement évaluée grâce à deux facteurs de mérite, *Figure Of Merit* (FOM) en anglais, prenant en compte la puissance consommée, la fréquence d'échantillonnage et le rapport signal sur bruit qui donne une information sur la résolution de l'ADC [37]. Cependant, ces FOM ne sont pas adaptées pour déterminer quel est l'ADC le plus adapté à notre application, puisqu'il nous faut également tenir compte de la surface occupée par l'ADC sur la puce et que la fréquence d'échantillonnage requise est faible.

En effet, les caractéristiques attendues de l'ADC sont les suivantes :

- Un échantillonnage à quelques kilohertz. L'ECG est un signal basse fréquence dont les fréquences maximales sont de l'ordre de quelques centaines de Hertz et la fréquence d'échantillonnage nécessaire est donc faible.
- La résolution nécessaire, dont le calcul est détaillé dans l'annexe A.1, est de 13 bits pour une plage de tension de 8 mV. Ces valeurs permettent de s'assurer, avec la méthode de calcul de distorsion choisie, que la discrétisation du signal n'introduira pas une distorsion supérieure aux seuils de la norme IEC.
- Une consommation et une surface aussi faible que possible.

Différentes architectures d'ADC existent, chacune étant adaptée à des besoins différents. Elles sont décrites de manière exhaustive au chapitre 8 de la référence [38]. Dans la suite, une présentation succincte et un état de l'art des architectures conçues pour ou adaptées à la numérisation de l'ECG sont présentées et comparées dans le but de déterminer l'architecture du convertisseur la plus adaptée à notre application.

2.4.1 Architectures d'ADC

L'*ADC performance survey* [37], réalisée par Boris Murmann, rassemble les performances des différentes architectures d'ADC publiées dans la littérature pour lesquelles un circuit a été réalisé et testé. À partir de ces données, nous pouvons construire la figure 2.9 donnant la résolution des

architectures les plus communes en fonction de leur fréquence d'échantillonnage. La résolution est donnée sous la forme d'un *Equivalent Number Of Bits* (ENOB), une métrique qui prend en compte la distorsion et le bruit ajouté lors de la conversion. Ainsi, l'ENOB est toujours inférieur à la résolution théorique de l'ADC.

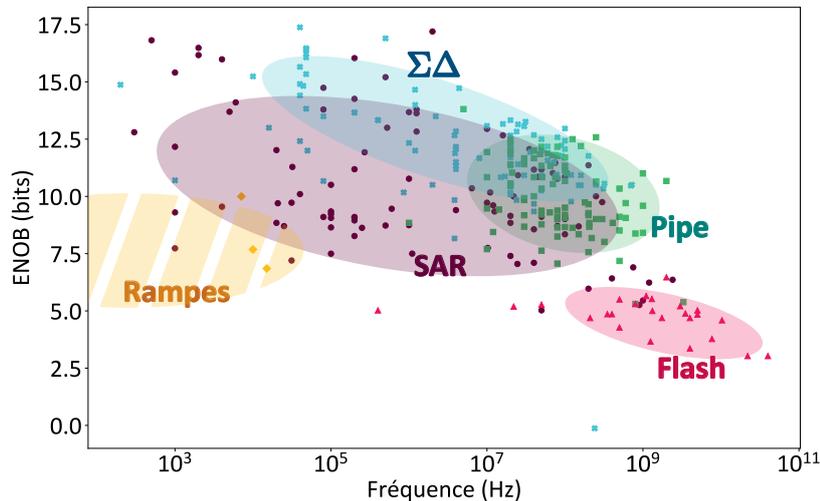


FIGURE 2.9 – Architectures d'ADC et leurs résolutions et fréquences typiques

Les architectures représentées sont les suivantes :

- Flash : architecture réalisant simultanément 2^N comparaisons entre 2^N tensions de références et le signal d'entrée, N étant la résolution de l'ADC. Cette architecture est celle qui permet d'atteindre la plus haute fréquence de conversion mais sa résolution est limitée par la taille exponentielle du hardware nécessaire pour réaliser les comparaisons.
- Pipe ou pipeline : architecture réalisant des comparaisons en série. À la fin de chaque comparaison, on obtient une approximation du résultat. Elle est soustraite au signal original pour obtenir un résidu sur lequel, une fois amplifié, on répète le processus. Les ADC de type pipe sont plus lents que les ADC de type Flash mais permettent d'obtenir une meilleure résolution.
- $\Sigma\Delta$: architecture s'appuyant sur le sur-échantillonnage pour améliorer la résolution obtenue. Elle est constituée, entre autres, d'une différence (Δ) et d'un intégrateur (Σ). Elle a l'avantage de réaliser du *noise-shaping*, c'est-à-dire de filtrer le bruit par un passe-haut ce qui réduit l'impact de celui-ci sur le signal, et donc améliore son ENOB.
- *Successives Approximations Register* (SAR) : architecture s'appuyant sur une recherche par dichotomie de la tension en entrée de l'ADC au moyen d'un convertisseur numérique-analogique. Cette architecture a l'avantage de nécessiter une très faible consommation par conversion. Son fonctionnement sera décrit avec de plus amples détails dans la suite.
- Rampes : architectures comparant la tension analogique avec une tension augmentant graduellement. À cause de cette rampe, ces architectures sont les plus lentes, au point qu'elles ne sont pas listées dans le *survey*. Les points utilisés pour approximer la bulle correspondant à ces architectures sont issus de l'article [39].

Les caractéristiques attendues pour l'ADC dans le cas de l'acquisition de signaux ECG, et plus

généralement les signaux biologiques, correspondent à la partie gauche du graphe. En effet, les signaux considérés sont de basses fréquences. Les architectures de type Flash, Pipe et $\Sigma\Delta$ sont donc écartées, pour répondre à la contrainte de fréquence, car elles requièrent une quantité de hardware ou une consommation conséquente.

Nous avons donc choisi de nous concentrer sur les architectures de type Rampes et de type SAR, qui sont présentées plus en détail dans la suite. Pour palier aux désavantages de ces architectures, il est possible de réaliser une conversion en deux étapes. Cette partie décrit aussi le fonctionnement de trois des combinaisons possibles de type SAR et Rampes. Enfin, pour tirer au maximum avantage des variations peu fréquentes de l'ECG, nous nous intéresserons à une architecture à échantillonnage non-uniforme, c'est-à-dire qui ne réalise une conversion analogique-numérique que lorsque le signal change et non à intervalle de temps constant.

ADC de type rampe

Un ADC à simple rampe est constitué d'un intégrateur qui fournit une courbe de pente connue, d'un comparateur indiquant l'instant où l'entrée est égale à la valeur en sortie de l'intégrateur, d'une horloge et d'un compteur pour mesurer le temps écoulé jusqu'à cet instant (Figure 2.10). La durée de la conversion dépend de la valeur de l'entrée V_{in} et de la pente, et est mesurée en comptant les fronts de l'horloge. La valeur obtenue multipliée par la pente donne la valeur numérique de l'entrée.

La précision de la conversion dépend de la fréquence de l'horloge et de la précision de la pente. Cependant, plus la fréquence de l'horloge utilisée est grande, plus la consommation liée aux commutations dans la partie contrôlant le fonctionnement de l'ADC sera importante. Il est donc préférable de la garder aussi faible que possible. D'autre part, la précision de la pente sera imposée par la précision des valeurs de I_0 et C . Or la valeur de C est difficile à mesurer précisément.

L'ADC à double rampe est une architecture de type rampe dont la précision ne dépend pas d'une mesure de valeur de composant (Figure 2.11). Dans ce cas de figure, on charge la capacité avec un courant dépendant de V_{in} pendant un temps T_0 connu, puis on la décharge avec un courant connu I_1 et on mesure le temps requis pour revenir à 0. De cette manière, la valeur de V_{in} , donnée par l'équation 2.2, ne dépend pas de la capacité car les C se simplifient.

$$\frac{f(V_{in})}{C}T_0 = \frac{I_1}{C}T_1 \quad (2.2)$$

L'ADC double rampe présenté dans [39] annonce une résolution de 8 bits pour une consommation de $44 \mu\text{W}$ et une fréquence d'échantillonnage de 15 kilo-échantillons par seconde (*kilo-sample per second*, kS/s). Si la fréquence d'échantillonnage de ce convertisseur est suffisante, c'est sa consommation qui limite la résolution maximale réalisable.

En effet, les ADC de type rampe présentent deux désavantages majeurs : le temps de conversion de 2^N , N étant la résolution souhaitée, et la consommation due à la génération de la pente et au comparateur fonctionnant en continu pendant ce temps.

Une manière de diminuer la consommation de ce type d'ADC est de réaliser de nombreuses conversions en parallèle en partageant certains blocs, comme la génération de pente. Grâce à la simplicité de son architecture, on peut réaliser, et à ressources minimales, des bancs d'ADC de type rampe de cette manière.

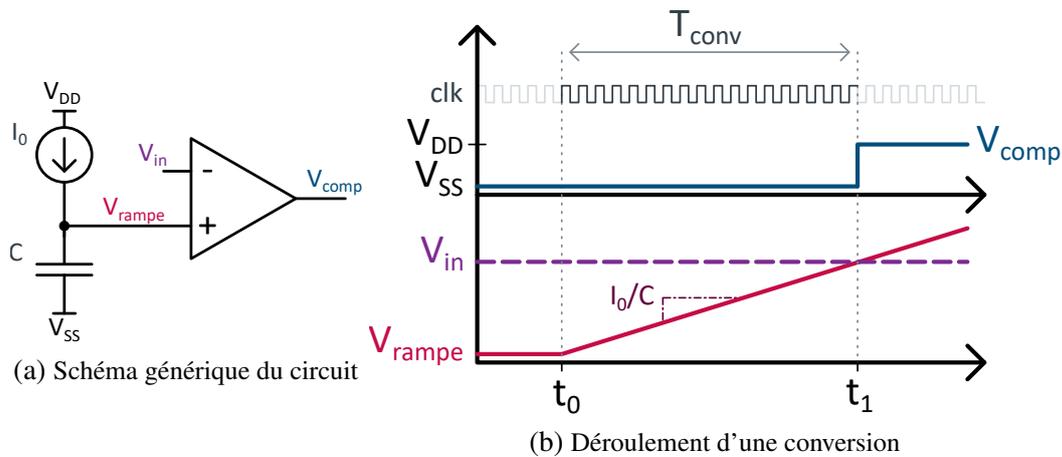


FIGURE 2.10 – Fonctionnement d'un ADC simple rampe

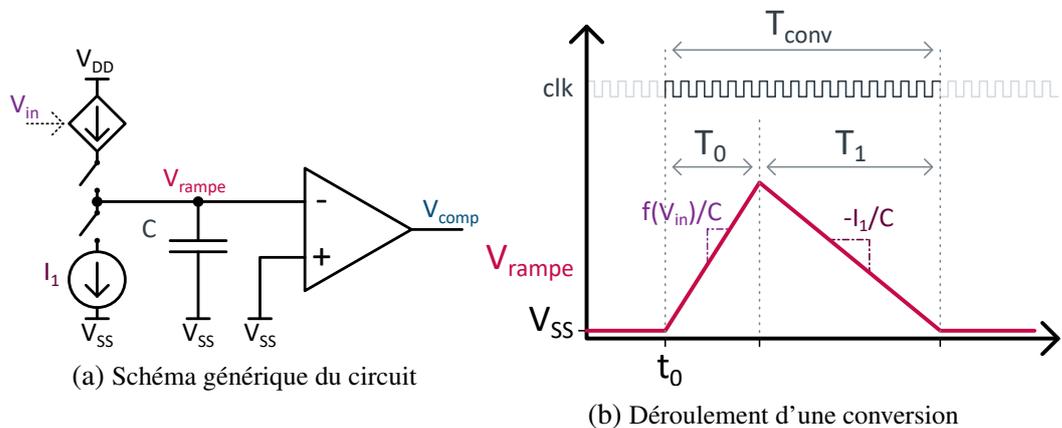


FIGURE 2.11 – Fonctionnement d'un ADC double rampe

Une application usuelle de ces bancs est la conversion des valeurs issues d'une matrice de pixel d'un capteur CMOS [40]. Dans le domaine médical, ce type de bancs d'ADC peut tout à fait convenir pour l'électroencéphalogramme (EEG), qui mesure l'activité électrique du cerveau grâce à une multitude d'électrodes couvrant la surface du crâne, et dans le cas de l'ECG si de multiples dérivations sont acquises en même temps.

ADC de type SAR

L'architecture la plus commune utilisée pour la conversion de signaux biologiques est le convertisseur à approximations successives (SAR) à cause de sa faible consommation.

La figure 2.12 illustre le fonctionnement et l'architecture usuelle d'un ADC de type SAR. Un convertisseur numérique-analogique, DAC en anglais, piloté par un contrôleur, réalise une recherche dichotomique de la valeur d'entrée en comparant V_{DAC} et V_{in} . En plaçant V_{DAC} au milieu de la plage de recherche, chaque comparaison permet d'éliminer la moitié de celle-ci. En effet, pour un code donné, si la valeur de V_{comp} est égale à V_{DD} , cela signifie que V_{in} est inférieure à V_{DAC} et

on conserve la moitié inférieure de la zone de recherche, et inversement si V_{comp} est égale à 0. Ce processus est répété jusqu'à trouver le code numérique donnant la valeur la plus proche de celle échantillonnée. Le DAC est généralement réalisé grâce un réseau de capacités pour s'appuyer sur le principe de redistribution des charges et limiter la consommation du circuit : il suffit de charger toutes les capacités une fois en début de conversion. De plus, le nombre de comparaisons à réaliser est égale au nombre de bits. Ainsi, la consommation d'un SAR est bien plus faible que celle des ADC de type rampe.

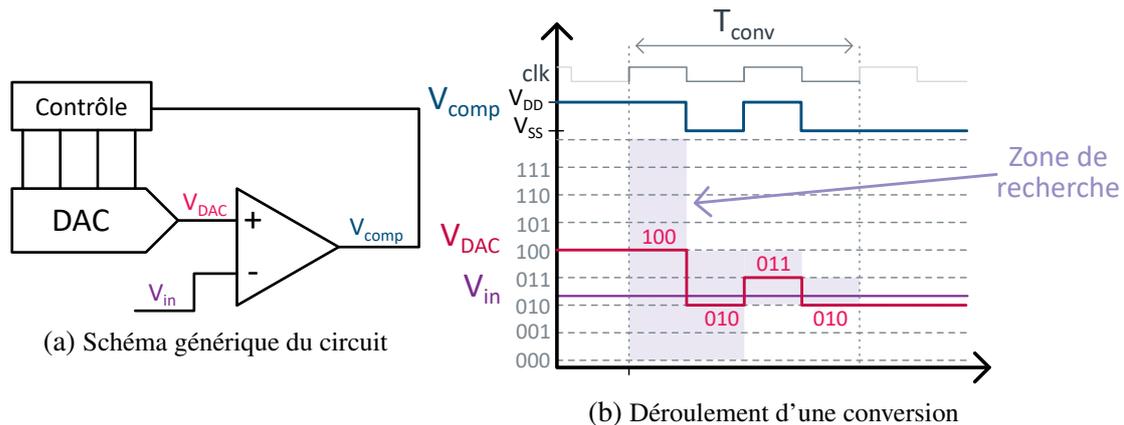


FIGURE 2.12 – Fonctionnement d'un ADC de type SAR

Le principal défaut de cette architecture est la surface requise pour la réalisation du DAC. En effet, il nécessite des capacités de valeurs C jusqu'à $2^{N-1}C$, avec C une capacité unitaire et N le nombre de bits, soit $(2^N - 1)$ capacités unitaires. La surface augmente donc de manière exponentielle avec la résolution l'ADC et c'est ce paramètre qui va donc limiter la résolution de l'ADC.

On trouve de nombreuses implémentations d'ADC de type SAR dans les systèmes embarqués mesurant l'ECG. La référence [41] présente un SAR de 10 bits réalisant 200 kS/s conçu pour être intégré à un stimulateur cardiaque. Le système complet mesure l'ECG pour déterminer quand est-ce qu'une stimulation du cœur est requise. Cet ADC réalisé dans une technologie 65 nm consomme 94 nW et mesure 0.022 mm^2 . Dans [15], c'est un SAR de 8 bits et consommant 0.46 nW à une fréquence d'échantillonnage 500 Hz qui est inclus dans une puce réalisée en 65 nm mesurant 3.3 mm^2 . La puce réalise une mesure de la fréquence cardiaque et calcule sa dispersion pour détecter les arythmies. Dans [42], les auteurs implémentent un SAR pour la numérisation de l'ECG et la détection des pics QRS. Il a une résolution de 12 bits et une fréquence d'échantillonnage de 10 kHz. Il a été réalisé en 130 nm et consomme $0.8 \mu\text{W}$ pour une surface de 0.13 mm^2 . Il a la particularité de suivre le signal lorsque celui-ci varie peu. Ainsi, il réalise le plus souvent des conversions partielles plutôt que complètes, ce qui réduit sa consommation et lui permet de détecter les zones de fortes variations comme, entre autres, le complexe QRS.

On constate que ces premières implémentations ne dépassent rarement une résolution d'une dizaine de bits. Pour dépasser cette limite, la référence [36] met œuvre une architecture dite *split-SAR* dans sa puce détectant les arythmies. Le réseau de capacités du DAC de l'ADC SAR est séparé en deux parties reliées par une capacité spécifique. Cela permet de réaliser la même fonction qu'un DAC capacitif usuel mais avec de plus petites capacités et donc une plus petite surface. Ainsi, les auteurs

de [36] atteignent une résolution de 12 bits avec une consommation de $7.2 \mu\text{W}$. L'ADC est inclus dans une puce de surface 1.4 mm^2 . Les auteurs de [43] réalisent un *split-SAR* de résolution 14 bits pour la numérisation d'un photopléthysmogramme (PPG). Le convertisseur consomme $1.3 \mu\text{W}$ pour une fréquence d'échantillonnage de 1 kS/ps.

Conversion en deux étapes

Un des moyens qui peut être employé pour diminuer la consommation de l'ADC de type rampe, ou la surface d'un ADC de type SAR, est la réalisation d'une conversion en deux étapes.

Habituellement, une conversion en deux étapes est une combinaison d'une conversion grossière et d'une conversion fine. La conversion grossière, généralement plus rapide et moins consommatrice, est utilisée pour réaliser une première approximation et réduire la plage de tension dans laquelle la conversion fine sera réalisée. Ainsi, l'impact de la consommation ou de la surface de la conversion fine est moins important et la consommation totale de l'ADC sera donc moindre pour une résolution équivalente à celle d'une conversion fine sur la totalité de la plage de tension. Plusieurs types de combinaisons peuvent être choisis. Dans la suite, nous nous intéresserons aux architectures Rampe/Rampe, SAR/SAR et SAR/Rampe.

L'ADC présenté dans [44] utilise une succession de deux conversions simple-rampe pour obtenir une résolution de 13 bits avec une consommation de $47 \mu\text{W}$. La première des deux pentes est une pente discrète grossière et la suivante une pente continue moins abrupte. Ce type de combinaison permet de réduire le temps total de la conversion et donc la consommation du convertisseur mais nécessite toujours des comparateurs qui fonctionnent en continu. Néanmoins, ce type d'architecture est tout à fait adapté au contexte de l'article : la conversion de signaux issus d'un capteur d'image CMOS. En effet, il permet de mettre en commun la génération des deux rampes entre les différents convertisseurs du banc d'ADC et donc de diviser la consommation de ces blocs par le nombre d'ADC dans le banc, plusieurs centaines dans le cas de [44], tout en gardant une surface par ADC faible, 0.009 mm^2 dans le cas de [44], ce qui permet d'implémenter les nombreux ADC requis dans le banc.

On peut aussi réaliser deux conversions de type SAR l'une après l'autre. La référence [45] obtient une résolution de 14 bits en combinant des SAR de 6 et 9 bits. Dans ce type de combinaison, le résidu de la conversion par le premier SAR est amplifié avant d'être utilisé comme entrée du second SAR et une redondance est introduite pour limiter les erreurs. La consommation de l'ADC présenté dans [45] est de $820 \mu\text{W}$ à une fréquence d'échantillonnage de 130 MS/s. L'implémentation du convertisseur dans une technologie 28 nm requiert une surface de 0.013 mm^2 . Le convertisseur présenté dans cet article, à cause de la fréquence d'échantillonnage choisie bien supérieure à celle requise dans le cas de l'acquisition d'ECG, ne convient pas en tant que tel pour notre application. Cependant, il met en lumière la principale difficulté de ce type de combinaison d'ADC : la qualité nécessaire de l'amplification du résidu pour éviter l'introduction d'erreur avant la conversion fine.

On peut aussi choisir de réaliser des conversions en deux étapes combinant un convertisseur de type SAR et un convertisseur de type rampe.

L'équipe dont les travaux sont publiés dans [46] réalise une puce pour effectuer une échographie du cœur incluant des ADC composés d'un SAR de 6 bits et d'un ADC de type simple rampe de 5 bits pour une résolution totale 10 bits. La vitesse de conversion de l'ADC présenté est de 24 MS/s

pour une consommation de $820 \mu\text{W}$. Il a été réalisé en 180 nm et mesure 0.01 mm^2 .

La référence [47] implémente un ADC du même type destiné à l'acquisition d'images issues de capteur CMOS. Les 12 bits de résolution sont obtenus grâce à l'association d'un SAR de 6 bits et une architecture de type simple rampe de 6 bits. Le convertisseur consomme $76 \mu\text{W}$ pour une vitesse de conversion de 227 kS/s . Dans ce cas, la rampe utilisée est discrète. Elle est générée par un DAC de 6 bits.

Le convertisseur SAR/simple rampe implémenté par [48] présente encore une autre manière d'implémenter la rampe. Dans ce cas, le DAC capacitif du SAR est complété par plusieurs capacités unitaires. Une fois la conversion grossière effectuée, le résidu, normalement compris dans une plage de tension symétrique autour de zéro, est transposé tel qu'il soit compris dans une plage positive. On va ensuite faire décroître la valeur obtenue par pas de 1 bit en déconnectant une à une les capacités supplémentaires du DAC, réalisant ainsi une rampe discrète. La résolution de cet ADC est de 12 bits pour une consommation de 0.35 mW à une vitesse de 100 MS/s .

L'avantage principal de ces combinaisons SAR/rampe est la diminution de la taille du réseau capacitif du DAC. On augmente ainsi la résolution de l'ADC non pas en augmentant sa surface, mais en augmentant sa consommation et le temps de conversion. Comme la surface d'un SAR varie exponentiellement avec la résolution, la diminution de la fréquence d'échantillonnage peut être considéré comme négligeable, particulièrement dans le cas de signaux basses fréquences comme l'ECG. L'augmentation de la consommation, elle, peut être minimisée en utilisant des rampes discrètes. En effet, une seule comparaison par pas de la rampe est nécessaire, plutôt qu'une comparaison en continu sur toute la durée de la conversion. Ce mode de fonctionnement permet d'utiliser des comparateurs faibles consommation comme ceux utilisés dans les architectures de type SAR, voir d'utiliser un seul comparateur pour les deux architectures comme présenté dans la référence [48].

ADC asynchrones

En plus d'être un signal plutôt basses fréquences, l'ECG est aussi un signal qui varie très peu en dehors de quelques intervalles de temps précis. En réalisant un échantillonnage uniforme, comme c'est le cas dans les sections précédentes, on réalise donc souvent des conversions dont le résultat ne portent que peu ou pas d'informations médicales, mais qui consomment tout autant d'énergie que les autres.

L'article [42] mentionné précédemment propose une solution à ce problème en suivant le signal lors de ses variations faibles. Il réalise donc toujours une conversion mais celle-ci nécessite moins d'énergie qu'une conversion de type SAR classique.

En poussant cette solution à l'extrême, on peut choisir de ne pas réaliser de conversion lorsque le signal ne varie pas ou peu : on réalise un échantillonnage asynchrone ou non-uniforme.

Les références [49, 50, 51] vont, au lieu d'acquérir des valeurs d'amplitudes à intervalle de temps constant, acquérir les instants auxquels le signal traverse des seuils d'amplitudes. Le convertisseur analogique-numérique est donc constitué de comparateurs qui fournissent une impulsion lorsque qu'un seuil est traversé, et d'une boucle de rétroaction soustrayant au signal analogique une tension adéquate pour que le signal d'entrée des comparateurs reste dans la bonne plage de tension. Ce fonctionnement leur donne le nom de modulateur-Delta. La génération de la tension soustraite peut se faire grâce à un DAC [49] ou à un intégrateur [50]. La méthode choisie pour obtenir la tension

à soustraire aura un impact significatif sur les performances de l'ADC. Un DAC nécessitera une surface importante mais une consommation faible, là où un intégrateur nécessitera une surface faible mais une consommation importante. De plus, dans le cas d'un modulateur-Delta pouvant fournir une impulsion à n'importe quel instant, il faut implémenter des comparateurs qui fonctionnent en continu, ce qui va occasionner une consommation importante.

Pour résoudre ce problème, on synchronise la génération des impulsions avec une horloge de fréquence supérieure au signal. Les comparateurs ne fonctionneront alors qu'aux fronts de l'horloge, introduisant finalement une quantification du temps. C'est ainsi que fonctionne le convertisseur présenté dans [50]. Il consomme $0.72 \mu\text{W}$ avec une horloge de 1 kHz, c'est-à-dire une précision de 1 ms sur la position des impulsions, et une précision sur l'amplitude équivalente à 9.22 bits.

Cette méthode de conversion a plusieurs avantages sur les architectures à fréquence d'échantillonnage uniforme. Tout d'abord, elle donne une information sur la pente et les ruptures de pentes du signal. En utilisant ces informations, les convertisseurs et les algorithmes proposés par [50, 51] détectent les pics R et les débuts et fin d'ondes P et T en étant peu sensibles aux bruits de faible fréquence type BW. Ensuite, elle nécessite une horloge de fréquence plus faible et un nombre réduit de comparaisons par rapport aux autres architectures. Là où un SAR devra effectuer N comparaisons pour obtenir un échantillon, un modulateur-Delta n'en requiert qu'une, et requière donc une horloge N fois moins rapide et $N - 1$ comparaisons de moins. Cependant, l'information stockée sous forme d'impulsions devra être reconstruite pour accéder à l'amplitude instantanée de l'ECG, et donc au niveau du segment ST. De plus, une information stockée sous forme d'impulsions ne peut pas être traitée par un circuit électronique standard. Il faudra soit reconstruire l'information, soit utiliser un circuit acceptant une entrée sous forme d'impulsions comme un réseau de neurones neuromorphiques [52].

2.4.2 Discussion

Le tableau 2.2 résume qualitativement les avantages et les inconvénients des architectures présentées dans cette partie.

Les architectures de type Rampe ne permettent pas, même si leur faible fréquence d'échantillonnage F_s n'est pas problématique dans le cas d'un signal basse fréquence comme l'ECG, d'atteindre la résolution nécessaire avec une consommation raisonnablement faible.

Les architectures de type SAR ne permettent pas, elles non plus, d'atteindre les 13 bits requis pour l'acquisition d'ECG pour l'ischémie cardiaque sans nécessiter une surface trop importante.

Les conversions en étapes utilisant deux fois le même type d'ADC permettent d'obtenir de meilleures performances qu'une conversion en une étape du même type, mais gardent des points négatifs non négligeables. La conversion par succession de deux architectures de type rampe est plus rapide, et sa consommation est donc plus faible mais reste importante. La succession de deux SAR permet de faire diminuer la taille du réseau de capacités mais requièrent une amplification de résidu de très bonne qualité pour ne pas introduire d'erreur entre les deux conversions.

L'architecture SAR/Rampe permet de niveler les performances des deux types. De plus, les dépendances du temps de conversion pour le type Rampe et de la surface du DAC pour le type SAR en la résolution N sont exponentielles. Diviser la résolution entre les deux convertisseurs permet

donc de réduire significativement la consommation ou la surface par rapport aux conversions de type Rampe ou SAR.

TABLE 2.2 – Comparaison qualitative des différentes architectures d’ADC considérées

Architectures	Fs	Conso.	Surface	Résolution	Remarques
Rampes	1 / expon. en N	Grande	Faible	Limitée par Fs et conso	Génération des rampes partagée
SAR	Rapide	Faible	Expon. en N	Limitée par surface du DAC	Split-SAR
Rampe + Rampe	Moyenne	Grande	Faible	-	Génération des rampes partagée
SAR + SAR	Moyenne	Faible	Grande	Limitée par qualité ampli. résidu	-
SAR + Rampe	Moyenne	Moyenne	Moyenne	-	Rampe discrète avec DAC
ADC asynchrone	-	DAC : Faible Int : Grande	DAC : Grande Int : Faible	Limitée par surface du DAC ou Limitée par conso	Informations pics Traitement d’impulsions

Enfin, les ADC asynchrones présentent des performances qui sont, au premier abord, proches de celles des architectures précédentes. Néanmoins, ils possèdent aussi l’avantage de fournir des informations supplémentaires sur les variations de pentes du signal. Ces ADC réalisent donc un pré-traitement de l’information permettant d’extraire plus facilement les informations de l’ECG comme les positions des pics ou des ondes P et T. La contrepartie de cet avantage est une représentation de l’information du signal sous forme d’impulsions. Une reconstruction ou un traitement numérique spécifique sera nécessaire pour pouvoir traiter ces données. Le coût en complexité de cette représentation et l’incompatibilité avec les traitements numériques usuels apparaît comme trop important par rapport aux informations supplémentaires obtenues, et ce d’autant plus que les autres types d’ADC sont déjà satisfaisant. Ce type d’architecture n’a donc pas été retenu.

Nous avons donc conclu que l’architecture la plus adaptée à l’acquisition d’ECG pour la détection embarquée d’ischémie parmi celles présentées dans cette partie est une conversion en deux étapes SAR/rampe.

La réalisation d’un tel ADC n’a pas été abordée dans ces travaux. Il a été considéré, au vu de

l'état de l'art, que l'apport ne serait pas ou peu significatif dans ce domaine. Nous nous sommes donc concentrés sur l'AFE et sur le traitement numérique.

2.5 Traitements numériques de l'ECG

Dans cette partie, nous aborderons les différents traitements de l'ECG et des informations qu'il contient pour détecter une pathologie en embarqué.

Le traitement numérique rassemble trois étapes : l'élimination du bruit restant après le filtrage réalisé par l'AFE, la détection des points d'intérêts du signal et enfin l'interprétation de ceux-ci. Souvent, chaque étape est réalisée par un bloc de traitement différent, mais il est possible que plusieurs étapes soient réalisées par un même bloc. Par exemple, un réseau de neurones peut prendre un signal bruité comme entrée, réaliser les trois étapes et directement fournir en sortie un diagnostic d'arythmie.

Dans le cas d'un traitement numérique embarqué de l'ECG, la complexité de l'algorithme mis en œuvre est un critère de choix décisif. En effet, les contraintes de faible consommation et de faible surface limitent la capacité de calcul et la quantité de mémoire disponibles. Par exemple, un traitement ayant de très bonnes performances en termes de déformation du signal et de détection des anomalies pourra être rejeté s'il requiert une consommation limitant l'autonomie du système à quelques heures.

Les traitements présentés dans la suite ne sont pas spécifiques à la détection d'ischémie et sont implémentés dans des systèmes détectant la fréquence cardiaque ou les arythmies. Néanmoins, le traitement des deux premières étapes sont identiques que ce soit pour l'ischémie ou les arythmies cardiaques, et l'étude des traitements utilisés durant la troisième étape pour les arythmies peut permettre d'identifier ceux qui peuvent être adaptés à l'ischémie.

2.5.1 Élimination des bruits spécifiques à l'ECG en numérique

Même si l'AFE implémente un premier filtrage, celui-ci doit être complété par un traitement numérique puisqu'il ne permet pas d'éliminer les bruits qui occupent les mêmes fréquences que le signal. C'est d'autant plus nécessaire dans le cas de l'ischémie cardiaque, car le filtrage réalisé par l'AFE est limité par rapport à celui utilisé par des systèmes détectant les arythmies dans la littérature, afin de ne pas déformer l'ECG et tout particulièrement le segment ST.

L'élimination des bruits qui ne sont pas spécifiques à l'ECG comme le bruit dû au réseau électrique ne sont pas traités dans cette partie.

Élimination des variations de la ligne de base

Un des traitements numériques les plus simples pour éliminer les variations de la ligne de base (BW) est un filtrage passe-haut numérique. Celui-ci est souvent combiné à un passe-bas pour éliminer par la même occasion les bruits hautes fréquences.

L'avantage du filtrage numérique sur le filtrage analogique est la possibilité d'utiliser un filtre à déformation de phase nulle, ou d'annuler la déformation de phase via un filtrage dit *zero-phase filte-*

ring. Le *zero-phase filtering* consiste à filtrer un signal dans le sens direct ($[1, 2 \dots n]$) puis inverse ($[n, n - 1 \dots 1]$). Il nécessite donc de sauvegarder le signal en mémoire pour pouvoir ensuite fournir les échantillons dans l'ordre temporel inverse au deuxième filtre. Comme ces filtrages introduisent une déformation de phase nulle, une fréquence de coupure passe-haut plus haute que celle autorisée pour les filtres analogiques peut être utilisée pour supprimer la ligne de base. Par exemple, les références [53, 36] utilisent un filtre passe-bande de fréquences de coupures 0.5 – 40 Hz pour éliminer les bruits. Néanmoins, cela ne résout pas le problème de superposition fréquentielle des bruits avec l'ECG.

Les transformées temps-fréquence peuvent permettre d'éliminer ces bruits. En effet, elles permettent d'extraire une information à la fois sur la fréquence, mais aussi sur la morphologie d'un signal. Les deux types de transformées temps-fréquences usuels sont la transformée en ondelettes discrète (*Discrete Wavelet Transform*, DWT) et la transformée en modes empiriques (*Empirical Mode Decomposition*, EMD). Elles décomposent le signal originel en un ensemble de coefficients ou de fonctions qui peuvent être traités et ensuite utilisés pour reconstruire le signal original.

De nombreux articles étudient les performances des deux transformées d'un point de vue théorique. La référence [21] compare des méthodes d'élimination du bruit dans le cas de l'ischémie et montre que les techniques s'appuyant sur la DWT présentent moins de distorsion que les autres méthodes telles que le filtrage ou l'approximation polynomiale. L'étude réalisée dans l'article [54] décrit et compare des méthodes d'éliminations du bruit d'un ECG grâce à différents seuils appliqués à aux coefficients. Une nouvelle méthode utilisant l'EMD et un choix dynamique des fonctions à conserver est présentée dans [55], et enfin la référence [56] compare l'EMD et la DWT dans une méthode les combinant avec une moyenne glissante pour éliminer les bruits de l'ECG.

Des implémentations de la DWT ont aussi été réalisées et intégrées à des systèmes de mesure embarquée d'ECG. Celle décrite dans [57] détecte le niveau de bruit grâce à une série de composants fournis par la DWT, puis choisit en conséquence les coefficients qui seront à supprimer pour éliminer le bruit. Les auteurs de l'article [58] considèrent le problème inverse et mesurent le bruit contenu dans l'ECG grâce à une DWT pour ensuite le supprimer du signal grâce à un filtrage adaptatif. La référence [2] implémente un processeur ECG qui réalise une DWT et filtre les bruits en appliquant un seuil sur les coefficients.

Des méthodes d'élimination de la BW basées sur d'autres concepts sont aussi étudiées d'un point de vue théorique. La référence [59] est basée sur des opérateurs morphologiques, des méthodes basées sur la moyenne glissante et l'approximation polynomiale sont présentées dans [21] et la méthode proposée dans [60] est aussi basée sur une approximation polynomiale de la BW permettant de la soustraire au signal.

2.5.2 Détection des pics

Comme le pic R est la déviation la plus proéminente de l'ECG, il est utilisé comme point de référence du battement cardiaque. Il permet de calculer la fréquence cardiaque et de définir les intervalles de temps dans lesquels il faut chercher les autres points et ondes caractéristiques, préparant ainsi la segmentation de l'ECG.

L'algorithme de Pan-Tompkins

L'algorithme de Pan-Tompkins [61] est l'algorithme le plus connu de détection des complexes QRS. Il est décrit par l'insert de présentation 1.

Il prend comme entrée un ECG numérisé brut. Il se compose des étapes suivantes :

Algorithme 1 Algorithme de Pan Tompkins

Mise en forme du signal

Filtre passe-bas, $f_c = 11$ Hz

▷ Filtrage passe-bande par cascade de filtres

Filtre passe-haut, $f_c = 5$ Hz

Dérivée

Mise au carré

Moyenne glissante

Détection des pics

Pour chaque Pic détecté **Faire**

 Détermine s'il s'agit de bruit ou de signal grâce à des seuils

 Mise à jour des seuils

Si Temps depuis le dernier pic supérieur à une constante donnée **Alors**

 Recherche arrière d'un pic avec des seuils réduits

Fin Si

Fin Pour

Cet algorithme est utilisé par de nombreux systèmes embarqués, et a inspiré beaucoup d'autres encore. Par exemple, les références [15, 62, 29] implémentent l'algorithme sur des circuits intégrés ou imprimés destinés à la mesure d'ECG. La référence [36], elle, réalise la même mise en forme que celle utilisé par Pan-Tompkins mais ajoute une analyse morphologique à l'étape de détection des pics.

Autres méthodes

Cependant, la détection de pics R peut aussi se faire via d'autres méthodes.

Les transformées temps-fréquences permettent, en plus d'éliminer le bruit, d'extraire les motifs correspondant au complexe QRS. La référence [57] détecte les pics grâce à un seuil adaptatif appliqué à un signal obtenu à partir de la transformée en ondelettes. Avec un type de signal similaire, les travaux de [2] détectent les pics en utilisant les passages à zéro du signal et ceux présentés dans [63] grâce à la dérivée de ce signal.

On trouve encore d'autres applications spécifiques comme la machine d'états réalisée par les auteurs de [16].

2.5.3 Segmentation et interprétation de l'ECG

La segmentation de l'ECG désigne la détection des points de référence du signal en dehors du complexe QRS : le début et la fin des ondes P et T, les bornes du segment ST et éventuellement

d'autres points remarquables. Les méthodes sont diverses, depuis la simple détection par seuil adaptatif jusqu'au réseau de neurones.

La référence [64], qui ne présente pas d'implémentation de sa méthode, utilise une représentation analytique de l'ECG pour détecter l'onde P.

Les travaux présentés dans [50] s'appuient sur un ADC asynchrone pour détecter les pics QRS et les débuts et fins d'ondes grâce à un arbre de décisions. En effet, cette technique d'acquisition a l'avantage de fournir une information sur la dérivée du signal via la fréquence des impulsions. Une suite de groupes d'impulsions, le nombre d'impulsions qu'ils contiennent et les écarts de temps entre eux permettent de détecter les complexes QRS, mais aussi les débuts et fins d'ondes P et d'ondes T.

La puce décrite dans [2] utilise les informations obtenues lors de la transformée en ondelettes. Elle détecte les ondes P et T de la même manière qu'elle détecte les pics R : en déterminant les coefficients appropriés de la transformée en ondelettes et en identifiant les pentes et les passages à zéro.

L'interprétation de l'ECG, c'est-à-dire la détection de pathologies, est souvent réalisée grâce à des techniques dites d'intelligence artificielle. Les modèles utilisés sont entraînés sur une machine de calculs puis implémentés sur un circuit intégré.

La référence [65] implémente un apprentissage profond (DNN) détectant la présence d'arythmies. Le réseau de neurones décrit dans [52] implémente un détecteur des types d'arythmies cardiaques grâce à des neurones dit neuromorphiques, c'est-à-dire qui copient le comportement de neurones biologiques. On retrouve aussi d'autres méthodes d'apprentissage comme les *support vector machine* (SVM). Une étude théorique de l'utilisation d'un SVM pour distinguer les battements anormaux et adapter le niveau de compression pour garder le maximum d'information sur ces battements est présenté dans [66]. L'article [29] implémente, lui aussi, un SVM sur une puce destinée à la mesure d'ECG pour classer les battements dans 5 classes distinguant les battements normaux et quelques-uns des types de battements pathologiques.

2.5.4 Choix du traitement numérique

Après une première étude préliminaire des techniques de type réseau de neurones, ce type de solution a été écarté. Il a été considéré comme trop consommateur de ressources, à la fois en calculs et en mémoire, et moins fiable qu'un algorithme explicite. En effet, et surtout comme il s'agit de données médicales, il nous semblait essentiel de pouvoir donner au praticien des informations sur les critères qui ont permis d'arriver à la génération d'une alerte et, idéalement, pouvoir lui fournir un extrait d'ECG pour qu'il puisse confirmer le diagnostic et, ainsi, faire confiance au système.

Les transformées temps-fréquence ont été la seconde option considérée. Elles ont l'avantage de pouvoir réaliser les étapes d'élimination du bruit et de mise en forme du signal pour permettre une détection de pic grâce à un algorithme simple. Elles ont d'ailleurs l'avantage de permettre une reconstruction du signal original.

Il a donc été choisi de réaliser une transformée temps-fréquence pour finir l'élimination du bruit de l'ECG et effectuer une détection des pics. Le choix entre l'EMD et la transformée en ondelettes est présenté au chapitre 5, ainsi que la théorie de la transformée en ondelettes. L'implémentation de cette dernière sous la forme d'un circuit intégré est présentée dans le chapitre 5.

2.6 Conclusion

Un système de détection d'ischémie cardiaque est constitué d'un *front-end* analogique, d'un convertisseur analogique-numérique et d'un traitement numérique permettant d'extraire l'information de l'ECG. Dans cette partie, un état de l'art des différentes méthodes et stratégies utilisées dans les systèmes embarqués mesurant l'ECG a été présenté. Bien que les systèmes détectant l'ischémie cardiaque soient très rares, les articles décrivant des systèmes détectant les arythmies donnent des exemples de traitements de l'ECG qui peuvent être adaptés ou inspirer la conception de notre système.

Néanmoins, ces articles ne traitent pas la problématique de la distorsion du segment ST. Or, la conservation de l'information contenue dans cette partie du signal est primordiale car c'est sur lui que s'appuie le diagnostic d'ischémie. Une méthode de mesure de la distorsion, utilisant des seuils donnés par la norme IEC, a donc été introduite afin de pouvoir qualifier cette performance.

La littérature décrit principalement deux architectures de front-end analogique réalisant une amplification et un filtrage des bruits basses fréquences : le CCIA et l'amplificateur-hacheur. Cependant, ce filtrage déforme aisément le segment ST et des études préliminaires indiquent qu'aucune des implémentations considérées n'a une fréquence de filtrage passe-haut suffisamment basse pour que la distorsion puisse être garantie inférieure aux seuils donnés par l'IEC sans mesure spécifique.

La conversion analogique-numérique présente moins de difficultés. En effet, même si la résolution nécessaire est importante et que les contraintes sur la consommation et la surface sont fortes dans ce contexte de système embarqué, des architectures existantes peuvent répondre à ces besoins.

Enfin, les traitements numériques de l'ECG sont un sujet vaste qui recouvrent l'élimination du bruit, la segmentation du signal et l'interprétation des caractéristiques de celui-ci. Les stratégies sont diverses, mais un type de traitement se distingue par sa capacité à fournir des informations sur la morphologie du signal, à éliminer les bruits tout en conservant la possibilité de reconstruire le signal : les transformées temps-fréquence.

Ce travail de thèse va donc s'intéresser aux deux points suivants :

- La conception d'un AFE de type amplificateur-hacheur et la caractérisation de la distorsion introduite, qui sont décrites dans le chapitre 3
- Le dimensionnement et l'implémentation d'une transformée temps-fréquence permettant d'éliminer le bruit et de détecter les pics R d'un ECG tout en conservant l'information du segment ST intacte. Ces points sont développés dans les chapitres 4 et 5.

Chapitre 3

Conception d'un Front-End Analogique adapté aux contraintes de l'ischémie

3.1 Introduction

Ce chapitre aborde la conception du front-end analogique (AFE) d'un système détectant l'ischémie cardiaque. Une partie de ces résultats a été publiée et présentée lors de la conférence LASCAS 2023 [23]. Ils sont ici détaillés et approfondis.

L'architecture choisie est un *Chopper Capacitively-Coupled Instrumentation Amplifier*, c'est-à-dire un amplificateur-hacheur à couplage capacitif. Comme détaillé au chapitre 2, ce type d'AFE a déjà été utilisé pour l'acquisition d'ECG, mais la littérature ne présente pas de quantification de la distorsion du segment ST pour vérifier que la norme IEC est satisfaite. L'objectif principal de ce chapitre est donc de concevoir un AFE introduisant suffisamment peu de distorsion pour qu'il puisse être considéré comme adapté au suivi d'ischémie cardiaque.

Dans un premier temps, ce chapitre introduit la technologie choisie pour implémenter ce circuit. Il décrit ensuite l'architecture et le fonctionnement des différents blocs, puis le dimensionnement des composants. Enfin, il présente les résultats en termes de consommation et de distorsion obtenus en simulations.

Le circuit a été dimensionné et simulé grâce au logiciel Cadence Virtuoso.

3.2 Technologie choisie

La technologie choisie pour implémenter l'AFE, mais aussi le traitement numérique décrit au chapitre 5, est la `xh018` : la technologie CMOS en 180 nm de XFAB. La technologie `xh018` est une technologie mature, adaptée à la conception mixte analogique/numérique jusqu'à quelques centaines de mégahertz pour des applications très variées (automobile, biomédicale...). Différents types de transistors sont disponibles dans cette technologie : des transistors à caissons isolés pour une polarisation indépendante des caissons et les avantages qui en découlent, des transistors à faible tension de seuil pour délivrer plus de courant, et enfin des transistors "hautes tensions" adaptés pour une alimentation

de 3.3 V au lieu de 1.8 V. Elle fournit des bibliothèques de composants analogiques, numériques, mais aussi des IP, c'est-à-dire des blocs directement utilisables, par exemple des mémoires basse-consommation. Cette modularité en fait une technologie tout à fait appropriée pour notre contexte applicatif.

La tension d'alimentation choisie est $V_{DD} = 1.8$ V. Les types de transistors retenus pour la conception de l'AFE sont les `neli` et les `peli`. Ce sont des transistors Métal-Oxyde-Semi-conducteur (MOS) *low- V_{th}* , c'est-à-dire qui ont une tension de seuil plus basse que les transistors MOS classiques, ce qui leur donne un gain plus important à surface égale et réduit donc la taille du circuit. Pour ces deux types de transistors, on a $V_{th} = 0.35$ V. Ce sont aussi des transistors à caissons isolés.

Pour minimiser leurs surfaces, on choisit des capacités "double métal-isolant-métal" (MIM) ayant la capacité surfacique la plus importante proposée par la technologie. De même, deux types de résistances sont retenus selon les valeurs requises pour minimiser leurs surfaces : des résistances de polysilicium et des résistances de diffusion.

3.3 Description de l'architecture de l'amplificateur-hacheur

Dans le chapitre 2, nous avons comparé les deux architectures classiques d'AFE utilisées par les systèmes mesurant des signaux biologiques. Nous avons retenu l'amplificateur-hacheur car son architecture permet de limiter l'impact du bruit *flicker* sur le signal.

Il existe différentes manières de réaliser un amplificateur-hacheur. Nous avons choisi de nous appuyer sur l'architecture présentée dans [33] (Figure 3.1). Dans celle-ci, un couplage capacitif est utilisé pour imposer le gain de l'AFE et l'architecture est entièrement différentielle pour éliminer les bruits impactant de manière identique les deux entrées.

Cette architecture réalise trois fonctions : la transposition en hautes fréquences (HF), l'amplification du signal, et le filtrage des basses fréquences.

La transposition en hautes fréquences est réalisée grâce aux hacheurs, aussi appelés *choppers*. Ils réalisent une modulation transposant le signal à une fréquence $f_{chopper}$ puis le ramenant à ses fréquences d'origine. Ils créent ainsi une zone du circuit dite haute fréquence. Ainsi, la première amplification de la chaîne directe est réalisée en hautes fréquences.

L'amplification du signal est réalisée par les capacités C_i et C_{fb} ainsi que deux *Operational Transconductance Amplifier* OTA. Le gain de l'AFE, noté G_{AFE} , est donné par l'équation 3.1. Tant que le gain A_0 , combinaison des gains des deux OTA, est suffisamment important, le gain de l'AFE est égal au rapport de capacités entre C_i et C_{fb} . La stabilité de la cascade d'OTA est garantie par la capacité C_m et la résistance R_m qui sont dites de "Miller" ([67], chapitre 6).

$$G_{AFE} = \frac{A_0}{1 + A_0 \frac{C_{fb}}{C_i}} \approx \frac{C_i}{C_{fb}} \text{ pour } A_0 \gg \frac{C_i}{C_{fb}} \quad (3.1)$$

Le filtrage passe-haut est réalisé grâce à la DSL. C'est une boucle de rétroaction intégrant le signal de sortie et réinjectant le résultat en entrée de manière à soustraire les basses fréquences du signal. La DSL contient un amplificateur opérationnel (OpAmp)

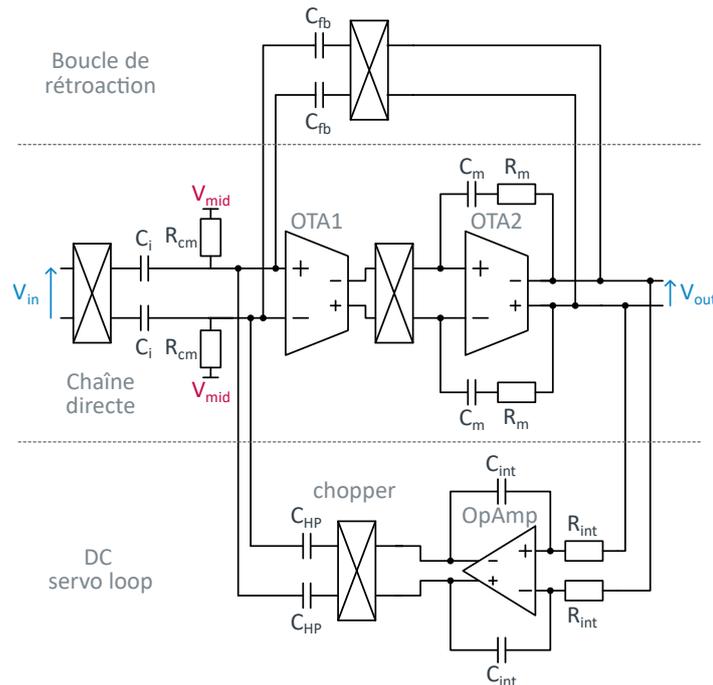


FIGURE 3.1 – Schéma de l'architecture de Chopper Amplifier choisie

Mis à part ces trois fonctions principales, les composants visibles sur la figure 3.1 assurent aussi deux autres fonctions. Les résistances R_{cm} permettent d'imposer le point de fonctionnement à l'entrée de la chaîne directe (voir section 3.4.2). Les capacités de liaison C_i permettent d'éliminer l'offset de chaque entrée prise individuellement qui pourrait faire saturer la chaîne directe.

3.3.1 Objectifs du dimensionnement

Le dimensionnement a été réalisé de manière à atteindre les objectifs suivants :

- Gain de 100
- Distorsion inférieure aux seuils de la norme IEC.
- Consommation la plus faible possible, et au maximum de l'ordre du microwatt

Un gain de 100 permet de faire passer un ECG d'amplitude pic-à-pic de 4 mV à 0.4 V, et de conserver ainsi une marge suffisante par rapport aux tensions d'alimentation pour éviter la saturation. Selon l'équation 3.1, imposer $C_i/C_{fb} = 100$ permet d'atteindre le gain voulu tant que la cascade d'OTA a un gain A_0 suffisamment grand devant C_i/C_{fb} . Cette première contrainte va donc imposer le gain des OTA.

Les limites de la technologie xh018 nous permettent dès à présent de déterminer les valeurs de C_i et C_{fb} . En effet, la technologie ne permet que d'intégrer des capacités de valeurs comprises entre une centaine de femtofarads et une dizaine de picofarads sans qu'elles occupent une surface trop conséquente. On choisit alors $C_i = 10.3$ pF et $C_{fb} = 103$ fF.

La seconde contrainte impacte le dimensionnement de tout le circuit. En effet, la distorsion du signal peut être due aux différents bruits comme à la fonction de transfert de l'AFE. L'étude pré-

liminaire présentée par la section 2.3.3 a déterminé que la fréquence de coupure du comportement passe-haut devait être inférieure à 0.03 Hz pour que le filtrage en lui-même n'introduise pas de distorsion. La DSL va donc être dimensionnée de manière à atteindre cette fréquence de coupure. Quant au reste du circuit, il sera dimensionné afin que les bruits introduits par les transistors n'entraînent pas une distorsion rédhibitoire. Cette contrainte va guider le choix de f_{chopper} , le dimensionnement des OTA et celui de l'OpAmp.

Enfin, la contrainte sur la consommation va influencer sur le dimensionnement des OTA et de l'OpAmp. Bien que cette contrainte soit secondaire par rapport à la contrainte sur la distorsion, nous ne nous autorisons pas à dépasser la dizaine de microwatts pour rester dans les ordres de grandeurs des AFE existants.

3.3.2 Bruit *flicker* et choix de la fréquence de hachage

Tout composant électronique va générer du bruit qui s'ajoutera au signal. On qualifie l'impact de ce bruit via sa densité spectrale qui s'exprime en Volts carrés par Hertz. Les transistors de type CMOS, et par là tous les circuits en contenant, génèrent principalement du bruit thermique et du bruit *flicker* [67].

Le bruit thermique est lié à l'agitation des particules. Sa densité spectrale dépend de la température et ne varie pas en fonction de la fréquence. C'est typiquement le bruit introduit par une résistance.

Le bruit *flicker*, ou bruit de scintillation, est lié à la structure du semi-conducteur. Il est modélisé par une densité spectrale inversement proportionnelle à la fréquence. C'est pourquoi il est aussi communément appelé bruit en $1/f$.

Les équations de densités spectrales en basses et moyennes fréquences pour un transistor sont modélisées par les équations 3.2 [67]. On note K la constante de bruit, W et L la largeur et la longueur du transistor, k_B la constante de Boltzmann et g_m la transconductance du transistor dans le modèle petit signaux.

$$v_{\text{flick}}^2(f) = \frac{K}{WLC_{ox}f} \quad (3.2a)$$

$$v_{\text{therm}}^2(f) = 4k_B T \frac{2}{3} \frac{1}{g_m} \quad (3.2b)$$

La combinaison des deux bruits donne la densité spectrale du transistor (Figure 3.2). Le bruit en $1/f$ est dominant en basses fréquences et le bruit thermique en hautes fréquences. On appelle *corner frequency* la fréquence f_C qui sépare les deux zones.

Cette fréquence dépend de la technologie utilisée. En xh018, elle est d'environ 600 Hz. La bande de fréquence de l'ECG s'étendant du Hertz à quelques centaines de Hertz, elle se trouve donc dans la bande où le bruit en $1/f$ est le plus important. L'amplificateur-hacheur permet de réaliser l'amplification en dehors de cette bande et ainsi limiter l'impact du bruit en $1/f$ sur l'ECG. Le principe de l'amplificateur-hacheur est illustré par la figure 3.3. Le hacheur va transposer le signal en haute fréquence en le modulant à une fréquence f_{chopper} . Si $f_{\text{chopper}} > f_C$ alors l'amplification du

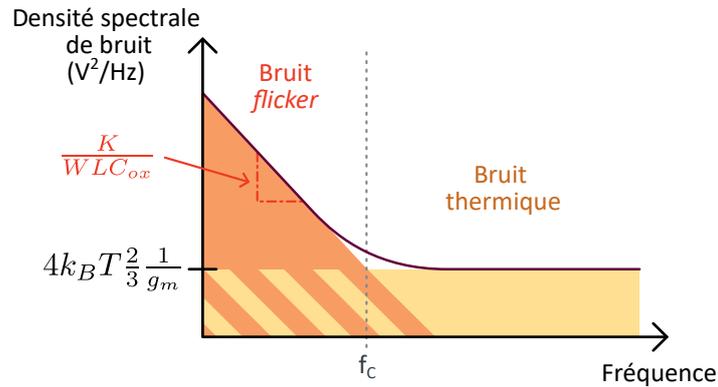


FIGURE 3.2 – Allure de la densité spectrale de bruit d’un transistor MOS

signal se réalise dans la zone de faible bruit. Le deuxième hacheur va ramener le signal en bande de base.

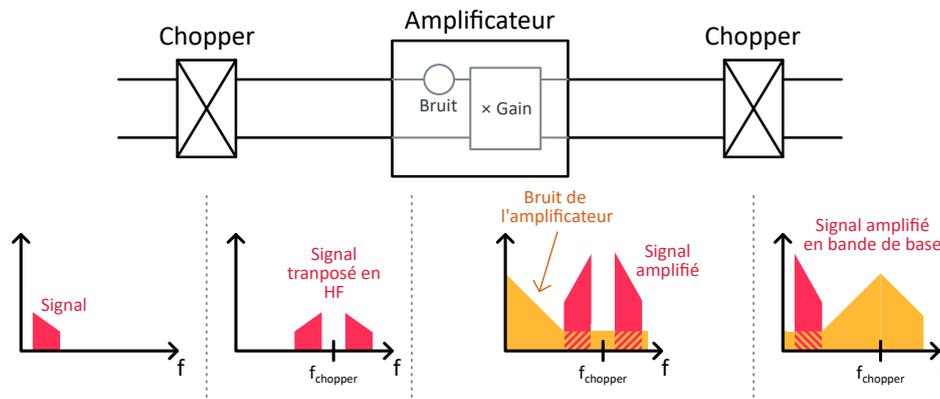


FIGURE 3.3 – Fonctionnement théorique de l’amplificateur-hacheur

Le profil de bruit de l’OTA 1, dont la conception sera détaillée par la suite, est obtenu par simulation (Figure 3.4). La *corner frequency* est de l’ordre d’un kilohertz. La fréquence $f_{chopper}$ est donc choisie égale à 10 kHz. Elle a été gardée basse pour limiter la consommation due aux commutations des interrupteurs constituant les hacheurs.

3.3.3 Architecture de la DC Servo Loop

Les variations de la ligne de base (BW) rassemblent les variations de basses fréquences, c’est-à-dire inférieures à quelques Hertz, affectant l’ECG. L’amplitude de ce bruit peut être très importante, voire supérieure à l’amplitude du signal. Il est crucial d’atténuer ce bruit au maximum pour éviter la saturation de l’ADC. Ici, une *DC servo loop* (DSL) est mise en place dans ce but.

La DSL supprime les basses fréquences d’un signal en intégrant la sortie puis en soustrayant le signal obtenu à l’entrée.

L’architecture usuelle d’un intégrateur est constituée d’un amplificateur opérationnel (OpAmp), d’une résistance et d’une capacité (Figure 3.1). La fréquence de coupure obtenue est donnée par

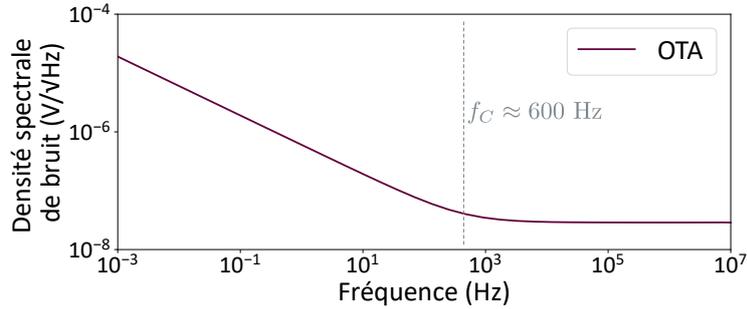


FIGURE 3.4 – Profil de bruit de l'OTA 1 obtenu par simulation

l'équation 3.3 [33].

$$f_{hp} = \frac{1}{2\pi R_{int} C_{int}} \cdot \frac{C_{hp}}{C_{fb}} \quad (3.3)$$

C_{fb} est égale à 103 fF, c'est-à-dire de l'ordre de la plus petite valeur de capacité intégrable avec cette technologie. Pour réussir à obtenir une valeur f_{hp} très faible avec une valeur de résistance R_{int} aussi petite que possible, on prend $C_{hp} = C_{fb}$, et on choisit C_{int} de l'ordre de 10 pF. Une résistance de l'ordre de 500 MΩ est alors nécessaire pour que f_{hp} soit inférieure à 0.03 Hz.

Cependant, la valeur maximale de résistance raisonnablement atteignable dans notre technologie est de quelques centaines de kilohms. Une pseudo-résistance constituée de transistors permettrait d'atteindre la valeur requise, mais ajouterait du bruit *flicker* au signal. Comme l'intégration s'effectue lorsque le signal est en bande de base, l'ECG serait fortement impacté par ce bruit en $1/f$. Nous avons donc choisi de nous tourner vers une autre architecture d'intégrateur.

De la même manière que dans la référence [33], nous avons choisi d'implémenter un intégrateur à capacités commutées pour atteindre la constante de temps requise. Le schéma de l'intégrateur est présenté par la figure 3.5a. Il est constitué d'un amplificateur opérationnel, de capacités et d'interrupteurs. La fréquence de commutation de ces derniers est notée f_{sc} . Chaque cycle va être composé de deux phases ϕ_1 et ϕ_2 , décrites par la figure 3.5b. Ce sont les transferts de charges entre les différentes capacités qui sont utilisés pour intégrer le signal.

La sortie de l'OpAmp est connectée à V_{op} et V_{om} uniquement pendant la phase ϕ_2 . Les capacités C_{hold} permettent de maintenir ces valeurs durant la phase ϕ_1 .

La fonction de transfert et la fréquence de gain unitaire sont données par les équations 3.4 [68]. Les calculs sont détaillés dans l'annexe A.2.

$$H_{int}(z) = \frac{1}{1 + \frac{C_1}{C_2}} \frac{C_1}{C_2} \frac{C_3}{C_2} \frac{z^{-1/2}}{1 - z^{-1}} \quad (3.4a)$$

$$f_u = \frac{1}{2\pi} \frac{1}{1 + \frac{C_1}{C_2}} \frac{C_1}{C_2} \frac{C_3}{C_2} f_{sc} \quad (3.4b)$$

Avec cet intégrateur, la formule donnant la fréquence de coupure de la DSL devient :

$$f_{hp} = f_u \cdot \frac{C_{hp}}{C_{fb}} \quad (3.5)$$

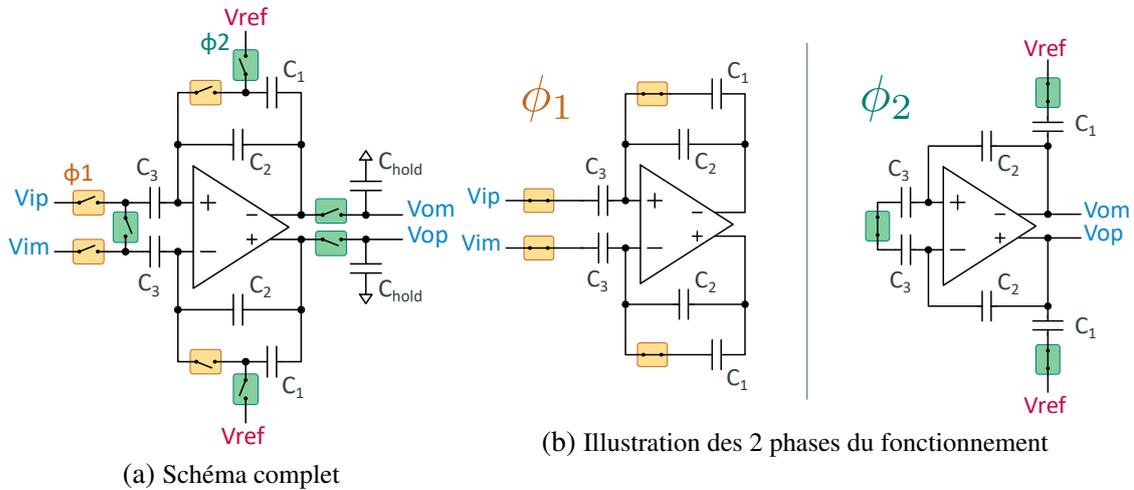


FIGURE 3.5 – Intégrateur à capacités commutées

Sachant que C_{hp} a été choisie égale à C_{fb} précédemment, l'équation 3.5 devient $f_u = f_{hp}$. Il faut donc que f_u soit égale ou inférieure à 0.03 Hz.

La fréquence f_{sc} doit être la plus faible possible pour diminuer les contraintes sur le dimensionnement des capacités. Néanmoins, elle doit être suffisamment grande pour ne pas imposer des capacités C_{hold} trop importantes. Il a été choisi de prendre $f_{sc} = 2$ kHz. Avec cette fréquence de hachage, et en prenant $C_1 = C_3 = 103$ fF et $C_2 = 120C_1$, on atteint une fréquence de coupure suffisamment basse : $f_{hp} = 0.021$ Hz.

3.4 Dimensionnement du circuit

Le dimensionnement du circuit a été réalisé par étapes, en remplaçant successivement des composants idéaux par des composants réels.

Dans la suite est décrit le dimensionnement des hacheurs, des résistances R_{cm} , et enfin des OTA et de l'OpAmp.

3.4.1 Hacheurs

Les hacheurs permettent de moduler le signal en hautes fréquences. Ils sont constitués de quatre interrupteurs (Figure 3.6), chaque interrupteur étant constitué de deux transistors, un PMOS (M_P) et un NMOS (M_N), en suivant le principe de la *transmission gate* ([67], chapitre 14).

L'interrupteur est passant lorsque $cmd = V_{DD}$, et $\overline{cmd} = GND = 0$ V. Le PMOS fonctionne de manière optimale lorsque la tension à ses bornes est supérieure à sa tension de grille \overline{cmd} d'au moins une tension V_{th} . Il convient donc pour $A > V_{th} \approx 0.35$ V. Inversement, la tension d'entrée aux bornes du NMOS doit être inférieure d'au moins V_{th} à sa tension de grille cmd , et il convient donc pour $A < V_{DD} - V_{th} \approx 1.45$ V. C'est pourquoi un PMOS et un NMOS sont mis en parallèle. Lorsque la tension est basse le NMOS conduit le courant, si elle est haute le PMOS conduit, et si elle est moyenne les deux transistors conduisent le courant en même temps. Ils permettent ainsi d'assurer

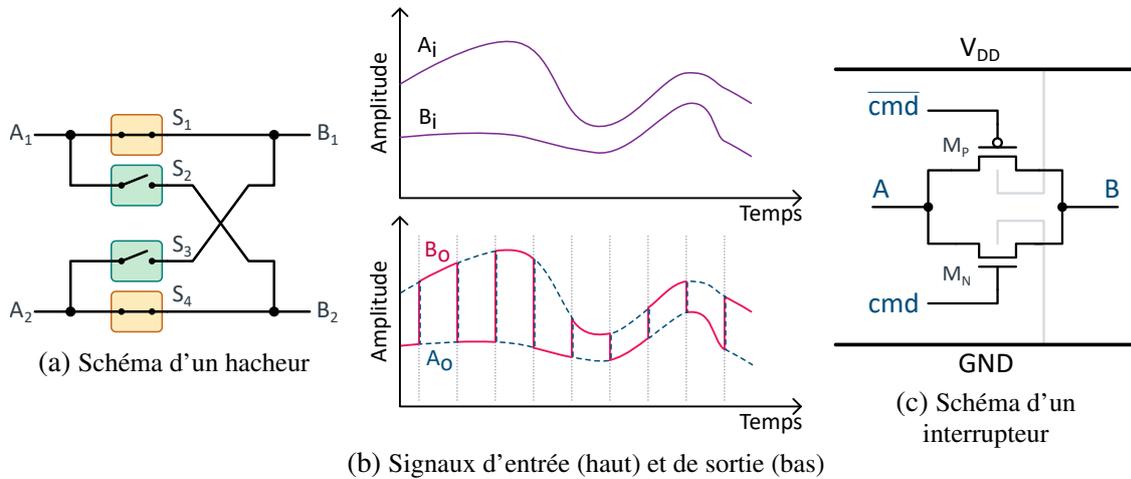


FIGURE 3.6 – Hacheurs du Chopper Amplifier

un fonctionnement sur une plage de tension plus grande que si l'interrupteur était réalisé à partir d'un seul transistor.

Les tailles du NMOS et du PMOS ont été choisies de manière à limiter la résistance moyenne de l'interrupteur sur la plage ainsi que l'injection de charge lors des commutations. On obtient $W_{NMOS} = 1 \mu\text{m}$, $W_{PMOS} = 3.7 \mu\text{m}$ et $L_{NMOS} = L_{PMOS} = 180 \text{ nm}$ ce qui fait une résistance moyenne de 800Ω lorsque que l'interrupteur est passant.

3.4.2 Point de fonctionnement en entrée

À cause des capacités C_i utilisées à l'entrée du montage et des capacités C_{fb} et C_{hp} des boucles de retour (Figure 3.1), le mode commun en entrée du premier OTA n'est pas imposé. En effet, les capacités ne laissent pas passer de signaux continus : elles imposent seulement les variations de tensions sans imposer le point autour duquel la tension varie.

Or, pour que l'OTA 1 puisse accepter en entrée les plus grandes variations de tensions possibles, il faut s'assurer que ses entrées sont au centre de la plage de tensions définie par les alimentations, c'est-à-dire en $V_{mid} = V_{DD}/2 = 0.9 \text{ V}$. Plusieurs possibilités ont été étudiées pour résoudre ce problème.

La première est une initialisation périodique des nœuds en les connectant à V_{mid} , les capacités parasites permettant de maintenir la valeur jusqu'à la prochaine réinitialisation. Cette méthode permet de n'avoir aucun impact sur le circuit en dehors desdites phases, mais elle a le désavantage d'introduire une erreur par injection de charges dans le circuit.

La deuxième solution considérée est l'implémentation d'un chemin résistif entre l'entrée et la sortie de la chaîne directe. Cette résistance crée un comportement passe-haut de fréquence de coupure $1/(2\pi C_i R_{cm})$ il faut donc que cette résistance soit suffisamment grande pour que la fréquence de coupure soit inférieure à la valeur de 0.03 Hz attendue.

La troisième solution, qui est la solution finalement choisie, est celle proposée par [33]. Un chemin résistif a été ajouté entre les entrées de l'OTA et une source de tension fournissant V_{mid} . Ici la résistance crée aussi un comportement passe-haut, mais celui-ci est de fréquence de coupure

$1/(2\pi C_i R_{cm} A_0)$. Le gain A_0 étant de l'ordre de 100 dB, il permet de réduire considérablement la résistance requise. Il faut cependant noter que la position de cette résistance fait que son bruit est intégré par le circuit, et que ce dernier doit donc être minimisé. Pour que le comportement passe-haut introduit n'interfère pas avec celui introduit par la DSL, R_{cm} est choisie de l'ordre du gigaohm. Elle est implémentée sous la forme d'une pseudo-résistance constituée de deux transistors PMOS de taille $W/L = 500\text{nm}/300\text{nm}$ et atteint $14\text{ G}\Omega$.

3.4.3 Amplificateurs

Deux types d'amplificateurs sont utilisés dans notre amplificateur-hacheur. La chaîne directe comprend deux OTA et la DSL un OpAmp. L'architecture de l'OpAmp étant basée sur celle de l'OTA, les deux types sont présentés ensemble dans cette partie.

Architectures et fonctionnement des amplificateurs

La figure 3.7 présente les architectures de l'OTA et de l'OpAmp.

L'OTA est constitué d'une source de courant (M_0), d'une paire différentielle (M_1, M_2) et de deux transistors de charge (M_3, M_4). Les transistors M_1 et M_2 doivent être de tailles aussi identiques que possible pour éviter un offset en sortie. Par symétrie, M_3 et M_4 sont aussi de tailles identiques. La tension d'entrée $V_i = V_{ip} - V_{im}$ est amplifiée et convertie en une différence de courant par la paire différentielle. Le gain l'OTA est de :

$$V_{op} - V_{om} = g_{m1,2} Z_{out} (V_{ip} - V_{im}) \quad (3.6)$$

avec Z_{out} l'impédance de sortie et $g_{m1,2}$ la transconductance des transistors de la paire différentielle donnée par l'équation 3.7 ([67], chapitre 3). On note μ_p la mobilité des porteurs, C_{ox} la capacité surfacique de la grille des transistors, W leur largeur, L leur longueur et I_D le courant les traversant. On a, à l'équilibre, I_{D1} et I_{D2} égaux à la moitié du courant I_0 généré par M_0 .

$$g_m = \sqrt{2\mu_p C_{ox} \frac{W}{L} I_D} \quad (3.7)$$

Dans le cas d'un OTA ayant une sortie différentielle, la tension des grilles des transistors de charges M_3 et M_4 est une tension de commande $V_{cm,fb}$. Cette tension $V_{cm,fb}$, fournie par un circuit formant une boucle de rétroaction, est utilisée pour imposer le point de fonctionnement en sortie, c'est-à-dire le potentiel DC de V_{op} et V_{om} autour duquel ces deux tensions vont varier. Comme il s'agit d'une boucle de rétroaction, elle peut engendrer une instabilité. C'est pourquoi des capacités C_L sont ajoutées aux amplificateurs.

L'OpAmp est constitué d'un OTA et d'un montage source commune (M_{10}, M_{20}) et de deux transistors suiveurs de tension (M_{11}, M_{22}). Ce deuxième étage permet la conversion du courant de sortie obtenu grâce à une architecture d'OTA en une tension, transformant une amplification tension-courant en une amplification tension-tension : un OpAmp.

Le dimensionnement des transistors va impacter plusieurs caractéristiques des amplificateurs : leur gain, leur bruit, leur consommation, etc. La prochaine section décrit le lien entre les dimensions

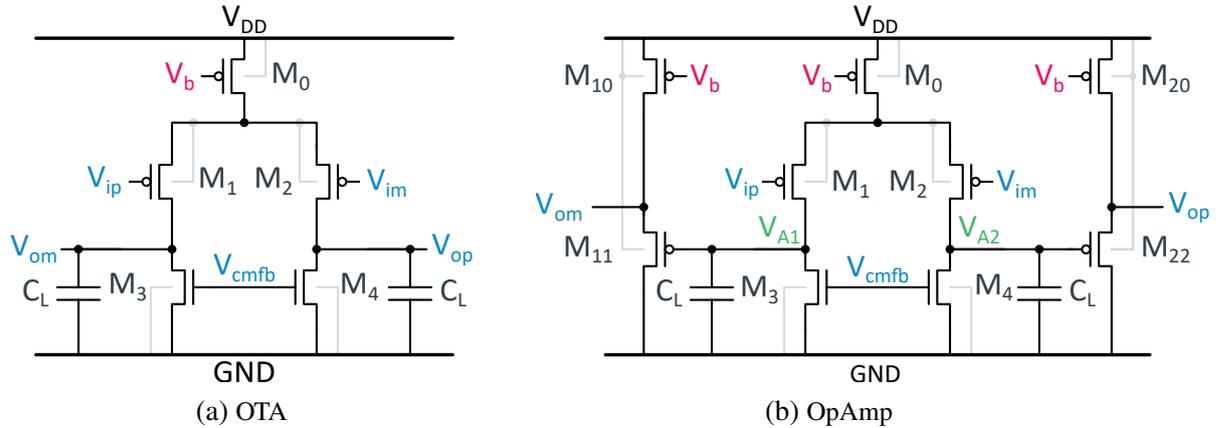


FIGURE 3.7 – Schéma des amplificateurs

des transistors et le bruit. Les relations entre les différentes tailles obtenues permettent de réaliser le dimensionnement des transistors de l'OTA et de l'OpAmp. Enfin, le dimensionnement des circuits fournissant la tension $V_{cm,fb}$ est décrit.

Réduction du bruit

À partir des équations 3.2a et 3.2b, présentées à la section 3.3.2, on peut calculer le bruit *flicker* (équation 3.8a) et le bruit thermique (équation 3.8b) ramené à l'entrée de l'OTA [67].

La première manière de minimiser le bruit de l'OTA est le choix de son architecture. Dans notre cas, c'est sur le bruit *flicker* que se sont concentrés nos efforts.

Les PMOS ont une constante $K_{1,2}$ inférieure à celle des NMOS. Ainsi un OTA ayant une paire différentielle réalisée grâce à des PMOS génère un bruit en basses fréquences inférieur à un OTA ayant une paire différentielle de type NMOS. L'équation 3.8a donne des premières relations entre les tailles des différents transistors et le bruit en $1/f$. Elle indique que la longueur $L_{3,4}$ des transistors de charge et la surface de la paire différentielle $W_{1,2} \times L_{1,2}$ doivent être aussi grandes que possible.

$$v_{flick}^2(f) = \frac{2}{C_{ox} \cdot f} \left(\frac{K_{1,2}}{W_{1,2}L_{1,2}} + \frac{\mu_n}{\mu_p} \cdot \frac{K_{3,4}L_{1,2}}{W_{1,2}L_{3,4}^2} \right) \quad (3.8a)$$

$$v_{therm}^2(f) = 2kT\gamma \left(\frac{1}{g_{m1,2}} + \left(\frac{g_{m3,4}}{g_{m1,2}} \right)^2 \cdot \frac{1}{g_{m3,4}} \right) \quad (3.8b)$$

D'autre part, pour minimiser le bruit thermique, l'équation 3.8b indique que le gain $g_{m1,2}$ de la paire différentielle doit être aussi grand que possible et le gain $g_{m3,4}$ réduit. Un g_m important est lié à un rapport W/L important, c'est-à-dire une grande surface, ou à un courant I_D traversant le transistor important, c'est-à-dire une consommation importante. Compte tenu des observations faites précédemment, on souhaiterait donc que le rapport W/L soit inférieur à 1 pour les transistors $M_{3,4}$, très grand devant 1 pour $M_{1,2}$ et que le courant I_0 soit grand pour limiter le bruit.

Le bruit de l'OpAmp se qualifie de manière équivalente, la contribution des deux transistors supplémentaires étant dix fois moins importante que celle des transistors présentés précédemment.

Dimensionnement des amplificateurs

Le dimensionnement des amplificateurs doit donc répondre à des exigences contradictoires, par exemple :

- I_0 doit être aussi petit que possible pour limiter la consommation, et aussi grand que possible pour limiter le bruit.
- W_1 et L_1 doivent être toutes les deux grandes pour limiter le bruit *flicker*, mais petites pour limiter la surface, tout en assurant un rapport W_1/L_1 grand pour limiter le bruit thermique et augmenter le gain de l'OTA.

La suite de cette section décrit les choix effectués et le dimensionnement qui en découle.

Pour que l'approximation décrite par l'équation 3.1 soit justifiée et que le gain de l'AFE G_{AFE} dépende uniquement du rapport des capacités C_{fb} et C_i , il faut que le gain A_0 , résultant de la mise en cascade des deux OTA de la chaîne directe, soit suffisamment grand. Le gain A_0 ciblé est de 100 dB, ce qui donne une erreur de 0.1% sur le gain $G_{AFE} = 100$. Comme l'amplification est séparée en deux étapes, chaque OTA doit fournir un gain G_{OTA} de l'ordre de 50 dB, soit 316 V/V. Pour que ce gain soit important, il faut obtenir un g_m aussi grand que possible (équation 3.6). Comme μ_p et C_{ox} sont des constantes de la technologie, il faut s'appuyer sur le rapport W/L et sur I_0 .

Le rapport W/L de la paire différentielle est de 25 avec $W = 50 \mu\text{m}$ et $L = 2 \mu\text{m}$. Le courant I_0 fourni par le transistor M_0 a tout d'abord été fixé à 500 nA pour les deux OTA et M_0 a été dimensionné à partir de ce courant et d'une tension de référence $V_b = 1.4 \text{ V}$ commune à l'AFE tout entier. Néanmoins, des premières simulations ont montré que le bruit de l'OTA 2 posait problème. Celui-ci est situé en dehors de la zone HF créée par les hacheurs. Cela permet de supprimer les artefacts du bruit flicker premier OTA qui ont été transposé en HF grâce à la faible bande passante de cet OTA. L'impact du bruit *flicker* de l'OTA 2 sur le signal est modéré comme le signal est déjà amplifié mais reste problématique. Pour réduire le bruit introduit par l'OTA 2, nous avons augmenté son I_0 de 70 %.

Les autres transistors de l'OTA sont dimensionnés selon les relations décrites dans la section 3.4.3 afin de minimiser leurs bruits. La liste complète des dimensions des transistors des OTA est donnée par la table 3.1.

Avec ces dimensionnements, on obtient des gains $G_{OTA1} = 46$ et $G_{OTA2} = 46$ dB pour le premier et le deuxième OTA. Ils ont respectivement une bande passante de 4 et 6 kHz. Pour garantir la stabilité de la chaîne directe, une boucle de rétroaction sur le deuxième OTA, constituée d'une capacité et d'une résistance dites "de Miller", est ajoutée avec $R_m = 50 \text{ k}\Omega$ et $C_m = 5.1 \text{ pF}$.

L'OpAmp a, lui aussi, une exigence de gain au travers d'une exigence de temps de réponse. Pour que les capacités commutées de la DSL aient un comportement d'intégrateur, l'OpAmp doit être capable de fournir une certaine quantité de charges en un temps inférieur à la durée d'une phase. Le rapport W/L de la paire différentielle de l'OpAmp est de 25 avec $W = 50 \mu\text{m}$ et $L = 2 \mu\text{m}$. Le dimensionnement de l'OpAmp est donné par la table 3.1. Avec ce dimensionnement, on obtient un gain de 47 dB avec une bande passante de 4 kHz. La vitesse de balayage est de $320 \text{ mV}/\mu\text{s}$, ce qui permet de parcourir la plage de tension $0-V_{DD}$ en moins de $6 \mu\text{s}$.

TABLE 3.1 – Dimensionnement des OTA et de l’OpAmp

	OTA 1	OTA 2	OpAmp
M_0	10 μm / 1 μm	17 μm / 1 μm	10 μm / 1 μm
$M_{1,2}$	50 μm / 2 μm	50 μm / 2 μm	50 μm / 2 μm
$M_{3,4}$	6 μm / 10 μm	6 μm / 10 μm	6 μm / 10 μm
$M_{10,20}$	-	-	5 μm / 1 μm
$M_{11,22}$	-	-	3 μm / 1 μm
C_L	120 fF	219 fF	103 fF

Dimensionnement du *Common Mode Feedback Circuit*

Les modes communs des sorties de l’OTA (V_{op} et V_{om}) et celui des tensions intermédiaires de l’OpAmp (V_{A1} , V_{A2}), sont imposés par les tensions nommées $V_{cm,fb}$. Elles sont générées par des boucles de retour du mode commun (*Common Mode FeedBack Circuit*, CMFB). Ces tensions étant spécifiques à chaque amplificateur, chacun possède son propre circuit CMFB bien qu’ils utilisent tous la même architecture basée sur une double paire différentielle.

Dans la suite, on considère le circuit CMFB d’un OTA. Ses entrées seront donc V_{op} et V_{om} et sa sortie $V_{cm,fb}$ contrôle les tensions de grilles de M_3 et M_4 .

L’architecture est décrite par la figure 3.8 et est issue de [67]. Les transistors $M_{A0,B0}$ sont des sources de courant. Les paires différentielles $M_{A1,2}$ et $M_{B1,2}$ comparent respectivement V_{op} et V_{om} avec une tension de référence $V_{cm,fb,ref}$ égale à 0.9 V.

On écrit les tensions $V_{op,om}$ de la manière suivante :

$$V_{op} = V_{cm,fb,ref} + V_{off} + v_{op} \quad (3.9a)$$

$$V_{om} = V_{cm,fb,ref} + V_{off} + v_{om} \quad (3.9b)$$

$$\text{avec } v_{op} - v_{om} = G_{OTA}(V_{ip} - V_{im}) \quad (3.9c)$$

$$v_{op} = -v_{om} \quad (3.9d)$$

avec G_{OTA} le gain de l’OTA. On distingue ainsi les composantes continues de V_{op} , V_{om} de leurs composantes différentielles. Le circuit CMFB doit donc faire tendre l’offset V_{off} vers 0 pour que la composante continue des deux tensions de sortie de l’OTA soit égale à $V_{cm,fb,ref}$. Il faut donc réussir à mesurer ce V_{off} .

Le fonctionnement du CMFB est illustré sur la figure 3.9 pour une tension V_{off} négative. La paire différentielle $M_{A1,2}$ va fournir une différence de courant δI_A proportionnelle à la différence entre V_{op} et $V_{cm,fb,ref}$, c’est à dire à $V_{off} + v_{op}$. Il en est de même pour la paire différentielle $M_{B1,2}$. On peut alors déterminer le courant traversant M_C :

$$\begin{aligned} I_C &= I_{A0}/2 + \delta I_A/2 + I_{B0}/2 + \delta I_B/2 \\ &= \delta I_A/2 + \delta I_B/2 \\ &= \alpha_A(V_{off} + v_{op})/2 + \alpha_B(V_{off} + v_{om})/2 \end{aligned} \quad (3.10)$$

avec α_A et α_B des constantes dépendant du dimensionnement de la paire différentielle. En prenant deux paires différentielles égales ($\alpha_A = \alpha_B = \alpha$ et $I_{A0} = I_{B0}$), et grâce à l’équation 3.9d, on a

donc :

$$I_C = \alpha V_{off} \quad (3.11)$$

De là, la tension V_{cmfb} est une image de V_{off} . Grâce au rebouclage sur les grilles de M_3 et M_4 , elle ramène cet offset vers zéro.

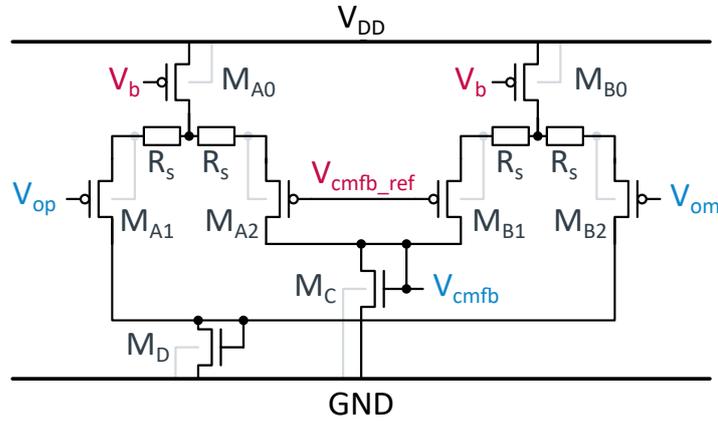


FIGURE 3.8 – Schéma du CMFB

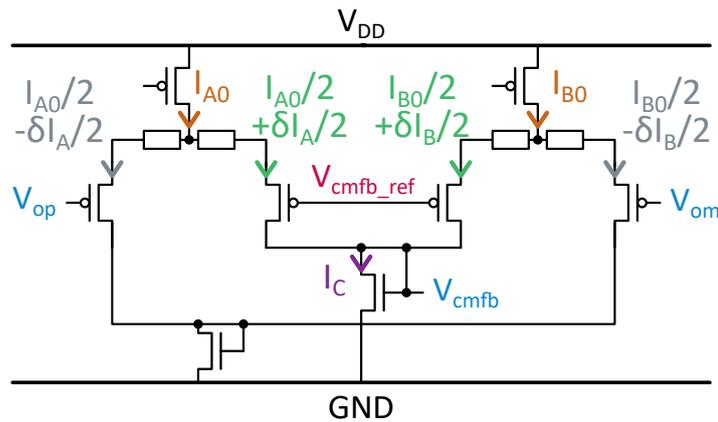


FIGURE 3.9 – Illustration du fonctionnement du circuit CMFB

Les paires différentielles du circuit CMFB présentent une spécificité par rapport à celles des amplificateurs : une dégénérescence de sources (R_s) a été ajoutée aux deux paires différentielles afin de linéariser leur comportement au prix d'un gain réduit. Cette modification permet au circuit CMFB de tolérer une plus grande plage de valeurs en entrée sans qu'une des paires différentielles ne change de région de polarisation, et que l'équilibre des branches A et B soit rompu (i.e. $\alpha_A \neq \alpha_B$). Les capacités C_L des OTA et de l'OpAmp servent à assurer la stabilité de la boucle de retour formée par le circuit CMFB.

Les transistors $M_{A0,B0}$ ont été dimensionnés de manière à fournir un courant de 250 nA chacun à partir de la tension de référence $V_b = 1.4$ V déjà utilisée pour déterminer le courant fourni par le transistor M_0 de l'OTA. Le reste des dimensionnements a été principalement réalisé de manière à minimiser la surface requise par ces circuits tout en assurant un point de fonctionnement DC en

TABLE 3.2 – Dimensionnement des circuits CMFB des OTA et de l’OpAmp

	CMFB OTA 1	CMFB OTA 2	CMFB OpAmp
M_{A0}, M_{B0}	$10\mu m / 1\mu m$	$10\mu m / 1\mu m$	$10\mu m / 1\mu m$
$M_{A1,2}, M_{B1,2}$	$10\mu m / 2\mu m$	$10\mu m / 2\mu m$	$10\mu m / 2\mu m$
$M_{C,D}$	$2.3\mu m / 2\mu m$	$1.2\mu m / 2\mu m$	$1.3\mu m / 2\mu m$
R_s	70 k Ω	550 k Ω	452 k Ω

sortie des amplificateurs de 0.9 V (Table 3.2).

3.5 Résultats de simulation

Le circuit complet a été conçu avec Cadence Virtuoso. Ses comportements DC, AC, transitoires et son bruit ont été étudiés via cet outil grâce aux simulations adéquates.

Le gain de la chaîne directe est de 91.6 dB. Ce gain est en deçà de l’objectif initial de 100 dB, mais il suffit pour obtenir un gain de l’AFE de 99.54 V/V. La marge de phase de la chaîne directe est de 60°.

Les mesures de distorsions ont été effectuées en utilisant comme signaux d’entrées des ECG d’étalonnage fournis par la norme IEC (Figure 2.3) auxquels aucun bruit n’a été ajouté. De cette manière, on ne mesure que les déformations introduites par l’AFE. Les mesures ont été réalisées à partir de simulations du comportement transitoire avec et sans bruit de l’AFE durant 30 secondes : 30 battements cardiaques à 60 bpm. Les dix premiers battements de chaque enregistrement ont été retirés pour ne pas prendre en compte le comportement transitoire de la DSL. Le comportement du filtre anti-repliement, qui n’a pas été implémenté, est simulé par un filtrage passe-bas d’ordre 2 de fréquence de coupure 250 Hz codé en Python avant la mesure de la distorsion.

Une première vérification avec un dimensionnement légèrement différent et une DSL semi-idéale composée de l’OpAmp, d’une résistance $R_{int} = 500G\Omega$ et une capacité $C_{int} = 10.6pF$ idéale a tout d’abord été réalisée. Les résultats ont été présentés à la conférence LASCAS [23]. Le dimensionnement a ensuite été revu : la consommation a été diminuée et la DSL a été ajoutée. C’est ce nouveau dimensionnement qui est présenté dans ce chapitre.

Plusieurs types de simulations ont été réalisés afin de discerner si c’est la fonction de transfert en elle-même ou bien le bruit qui cause le plus de distorsion, et quelle est l’influence de certains blocs comme les pseudo-résistances R_{CM} ou la DSL.

La table 3.3 donne la distorsion obtenue par des simulations du comportement transitoire sans bruit. Elles permettent donc d’estimer l’impact de la fonction de transfert de l’AFE. La table 3.4 récapitule les résultats obtenus pour des simulations avec bruit et estime donc l’impact des bruits *flicker* et thermique sur la distorsion de l’ECG. Les quatre configurations simulées sont :

- R_{CM} remplacée par une résistance idéale de valeur équivalente à celle de la pseudo-résistance, DSL réalisée à partir d’un OpAmp réel, d’une résistance idéale et d’une capacité idéale de valeurs donnant la même fréquence de coupure que le circuit à capacités commutées.
- R_{CM} réelle, DSL réalisée à partir d’un OpAmp réel, d’une résistance idéale et d’une capacité

idéale

- R_{CM} remplacé par une résistance idéale, DSL réalisée grâce au circuit à capacités commutées
- R_{CM} réelle, DSL réalisée grâce au circuit à capacités commutées

TABLE 3.3 – Distorsion introduite par l’AFE : influence du dimensionnement

Distorsion du segment ST		Res. Idéale DSL Idéale	Pseudo res. DSL Idéale	Res. Idéale DSL	Pseudo res. DSL
Niveau	Moyen.	5.6	5.6	5.6	5.6
(μV)	Max.	5.8	5.7	5.8	5.7
Pente	Moyen.	0.002	0.001	0.001	0.001
(mV/s)	Max.	0.004	0.003	0.004	0.004

TABLE 3.4 – Distorsion introduite par l’AFE : influence du bruit en transitoire

Distorsion du segment ST		Res. Idéale DSL Idéale	Pseudo res. DSL Idéale	Res. Idéale DSL	Pseudo res. DSL
Niveau	Moyen.	5.7	5.6	5.6	5.7
(μV)	Max.	6.8	7.9	7.3	7.0
Pente	Moyen.	0.004	0.005	0.005	0.005
(mV/s)	Max.	0.014	0.015	0.011	0.010

Les mesures de distorsion sans bruit données par la table 3.3 confirment que le filtrage des basses fréquences n’introduit pas une distorsion supérieure aux seuils de la norme IEC, à savoir maximum $25 \mu\text{V}$ d’écart en termes de niveau et 0.05 mV/s par seconde en termes de pente. L’impact des pseudo-résistances et celui de la DSL réelle ne sont pas réellement différentiables. On en déduit qu’elles ont un comportement assimilable à leurs contreparties idéales en termes de fonction de transfert.

La table 3.4 présente des résultats aussi satisfaisants : les valeurs maximum de déformation de pente et de niveau sont toutes inférieures à la limite donnée par la norme. Une fois de plus, les impacts respectifs des pseudo-résistances et de l’intégrateur à capacités commutées sont assez limités. On en déduit que ce sont bien les OTA et l’OpAmp qui introduisent la majorité du bruit.

La figure 3.10 montre les vingt battements utilisés pour la mesure dans le cas pseudo-résistance et DSL non idéales, ainsi que la distorsion mesurée pour chaque battement. Le bruit restant après le filtre anti-repliement est visible sur la figure 3.10c. Il est suffisamment faible pour ne pas fausser l’approximation de la ligne de base et donc la pente du segment ST. De même, il est suffisamment faible pour que la distorsion de niveau du segment ST soit en deçà de la norme pour tous les battements.

Dans ce cas de figure, on peut se demander si une fréquence de hachage plus basse n’aurait pas suffi. Cependant, étant limités en temps, nous avons choisi de garder cette version de l’AFE. Les mesures finales avec bruit sont réalisées dans cinq cas de figures, le cas dit typique et quatre *corners*, c’est-à-dire les pires des cas de la technologie. On retrouve les cas suivants :

- *worst speed (ws)* : les transistors sont plus lents et consomment peu

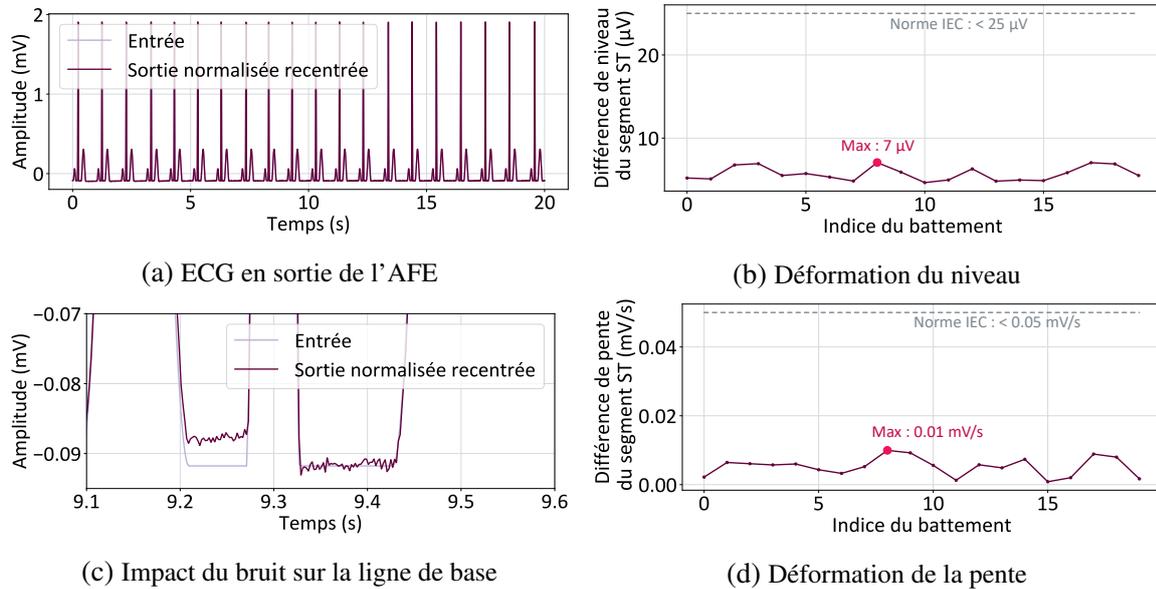


FIGURE 3.10 – Simulation du comportement transitoire avec bruit : cas du circuit entièrement non-idéal

- *worst power* (wp) : les transistors sont plus rapides et consomment beaucoup
- *worst ones* (wo) : les PMOS sont lents et les NMOS sont rapides
- *worst zeros* (wz) : les PMOS sont rapides et les NMOS sont lents

La table 3.5 rassemble les résultats obtenus dans les pires des cas. La distorsion varie peu selon les différentes configurations et est toujours sous les seuils donnés par la norme IEC. On peut constater que l'on retrouve environ les valeurs données par la figure 2.8 pour une fréquence de coupure de 0.02 Hz.

TABLE 3.5 – Distorsion introduite par l'AFE : pires cas avec bruit

Distorsion du segment ST		typical	worst speed	worst power	worst ones	worst zeros
Niveau	Moyen.	5.7	5.7	5.7	5.8	5.6
	(μV) Max.	7.0	7.6	6.8	7.6	6.5
Pente	Moyen.	0.005	0.007	0.004	0.007	0.003
	(mV/s) Max.	0.010	0.013	0.009	0.013	0.003
Consommation						
courant (μA)		5.6	2.6	11.6	2.6	11.4
puissance (μW)		10.1	4.7	20.9	4.7	20.5

La consommation est de $5.6 \mu\text{A}$ dans le cas typique et monte jusqu'à $11.6 \mu\text{A}$ dans le cas *worst power*. La consommation est aussi élevée dans le cas *worst zeros* car les différentes sources de cou-

rants des OTA, de l'OpAmp, ou encore des circuits CMFB, sont des PMOS qui ont un gain plus important dans ce cas et qui fournissent donc plus de courant.

L'article [33], utilisé comme référence de ce circuit, consomme $1 \mu\text{A}$ avec une tension d'alimentation de 1 V. Les références [35, 16, 36] présentent des consommations du même ordre de grandeur. On peut donc considérer que notre circuit, avec des contraintes supplémentaires de minimisation des distorsions qui ne sont pas prises en compte lors de la conception dans la littérature, a une consommation cependant comparable à celle de l'état de l'art. Toutefois, les AFE présentés dans [15, 34] ont une consommation qui avoisine plutôt la dizaine de nanoampères, montrant qu'il est envisageable d'essayer d'optimiser davantage cette performance.

En effet, bien que le circuit vérifie la contrainte principale, à savoir introduire une distorsion inférieure aux seuils de la norme IEC, la marge vis-à-vis de ces seuils est suffisamment grande pour qu'on puisse espérer des meilleures performances du circuit sans introduire une distorsion trop importante. Les pistes considérées sont une diminution de la fréquence de hachage et une diminution des courants alimentant les OTA et l'OpAmp.

Néanmoins, certains points n'ont pas été particulièrement pris en compte et peuvent poser problème lors de la réalisation du circuit. Tout d'abord, les capacités minimales choisies sont très faibles et une attention particulière devra être donnée au *layout* pour s'assurer que le rapport de capacités n'est pas trop impacté par les capacités parasites dues aux connexions. Ensuite, une simulation de Monte-Carlo du circuit permettrait de confirmer que les variations de la technologie ne provoquent pas de changements de la fréquence de coupure f_{hp} susceptibles d'introduire une distorsion supérieure aux seuils. Enfin, l'impédance d'entrée du système n'a pas été mesurée ou optimisée pour un type d'électrode en particulier alors que, comme mentionné dans la section 2.3.1, cette performance indiquera si l'AFE convient à un système d'acquisition à électrodes sèches. Une boucle de rétroaction positive, comme celle implémentée dans la référence [33], pourra être ajoutée au circuit si l'impédance d'entrée est trop faible.

Pour finaliser l'étage d'acquisition analogique, il faut aussi adjoindre à l'AFE le filtre anti-repliement simulé lors des mesures, et un filtre notch pour éliminer le bruit dû au réseau électrique.

3.6 Conclusion

Ce chapitre présente la conception d'un *front-end* analogique (AFE) pour l'acquisition de l'ECG.

L'AFE réalisé est un amplificateur-hacheur. Il permet de réduire l'impact du bruit en $1/f$, aussi appelé bruit *flicker*, sur l'ECG, généré par les transistors constituant l'amplificateur. En effet, ce bruit est problématique car il est très important dans les basses fréquences, là où se trouve aussi l'ECG. L'amplificateur-hacheur va donc transposer le signal en hautes fréquences, là où le bruit est plus faible, avant de réaliser l'amplification puis de ramener le signal dans sa bande de fréquences originale. La fréquence choisie de hachage est de 10 kHz.

Le gain choisit pour l'AFE est de 100 V/V. Il est imposé grâce à un rebouclage capacitif. La fréquence de coupure du comportement passe-haut permettant de filtrer les bruits basses fréquences est de 0.02 Hz. Elle est implémentée grâce à une *DC Servo Loop* utilisant un intégrateur à capacités commutées afin d'atteindre cette fréquence de coupure très basse sans nécessiter une pseudo-résistance de valeur conséquente.

Le dimensionnement des différents blocs a été réalisé de manière à minimiser leur bruit thermique et leur bruit en $1/f$ tout en limitant la consommation du circuit. Comme le circuit est entièrement différentiel, des blocs spécifiques sont requis pour imposer les points de fonctionnements : des *Common Mode Feedback Circuit* (CMFB) et des pseudo résistances.

Le comportement transitoire du circuit a été simulé dans différentes configurations avec et sans bruit pour qualifier les impacts de différents effets sur la distorsion. Un signal ECG d'étalonnage issu de la norme IEC a été utilisé comme entrée, et la distorsion du segment ST a été mesurée en utilisant la méthode décrite dans la section 2.2.

Les résultats permettent de conclure que l'AFE vérifie les contraintes de distorsion du segment ST données par la norme IEC. Les simulations du circuit estiment la consommation à $10 \mu\text{W}$ dans le cas typique, ce qui la place au même niveau que d'autres architectures publiées dans la littérature. Ainsi, la première étape de conception d'un étage analogique complet d'un système intégré mesurant l'ECG pour la détection d'ischémie cardiaque a été réalisée. Elle prouve qu'il est possible de réaliser un AFE de basse consommation capable de respecter les seuils de distorsion du segment ST donnés par la norme IEC.

Chapitre 4

Traitement numérique par transformée en ondelettes

4.1 Introduction

L'état de l'art établi dans le chapitre 2 nous a permis de choisir un type de traitement numérique de l'ECG : les transformées temps-fréquence. Deux d'entre elles sont régulièrement étudiées ou implémentées pour le traitement d'ECG : la transformée en ondelettes et la transformée en modes empiriques (EMD). Les transformées temps-fréquence fournissent une information sur les positions et les compositions fréquentielles des motifs du signal. Ces propriétés permettent à la fois d'éliminer les bruits comme la BW mais aussi de détecter les pics R qui serviront ensuite de références pour segmenter l'ECG.

Ce chapitre aborde la théorie de la transformée en ondelettes afin de donner le contexte nécessaire à la compréhension de l'implémentation décrite au chapitre 5. Tout d'abord, il présente le principe d'une transformée temps-fréquence et explique le choix de la transformée en ondelettes. Il décrit ensuite l'algorithme de la transformée en ondelettes rapide qui est la méthode choisie pour calculer la transformée en ondelettes. Enfin, il liste les ondelettes mères qui ont été retenues et qui seront implémentées et comparées dans le chapitre 5.

4.2 Transformées Temps-Fréquence

Une transformée temps-fréquence décompose un signal sur une base de fonctions dans laquelle l'information est concentrée en temps et en fréquence.

À titre d'exemple, la transformée de Fourier n'est pas porteuse d'information temporelle sur le signal. Cette transformée peut cependant être adaptée en fenêtrant le signal et en donnant ainsi une concentration temporelle à l'information. Le désavantage principal de cette méthode est que la concentration temporelle ne change pas en fonction de la fréquence. Or, il est pertinent d'avoir une échelle de temps plus fine pour les hautes fréquences et inversement.

Dans le cas de la transformée en ondelettes, le signal est décomposé sur une base constituée

des fonctions obtenues par dilatation et translation d'une fonction de base ψ appelée ondelette. Mathématiquement, une ondelette est une fonction appartenant à L^2 de moyenne nulle et de norme 1. Grossièrement, c'est une fonction qui ondule autour de zéro et qui est non-nulle uniquement sur un intervalle borné. C'est cette allure caractéristique qui lui donne son nom. La transformée en ondelettes d'un signal f par l'ondelette de référence ψ (ou ondelette mère) au temps u et l'échelle s est donnée par l'équation 4.1, avec ψ^* la fonction complexe conjuguée de ψ [69]. La transformée en ondelettes a l'avantage d'avoir une précision temporelle plus fine lorsque la fréquence est plus importante. Elle permet ainsi de différencier les transitions rapides et abruptes des variations lentes. En imposant u et s discrets, on construit la transformée en ondelettes discrète (*Discrete Wavelet Transform*, DWT).

$$W_f(u, s) = \int_{-\text{inf}}^{+\text{inf}} f(t) \frac{1}{\sqrt{s}} \psi^*\left(\frac{t-u}{s}\right) dt \quad (4.1)$$

La décomposition en mode empirique (*Empirical Mode Decomposition*, EMD) utilise une approche différente. Au lieu d'utiliser une base connue au préalable, l'EMD construit une base de fonctions à partir du signal. Ces fonctions de modes intrinsèques (*Intrinsic Mode Function*, IMF), sont obtenues via un algorithme itératif s'assurant qu'elles possèdent les propriétés requises grâce aux conditions suivantes : "le nombre d'extrema est égal au nombre de zéros plus ou moins 1 et la valeur moyenne des enveloppes définies par le maximum et le minimum local est nulle" [70]. Une fois une IMF extraite, elle est soustraite au signal pour obtenir un résidu duquel une IMF peut à nouveau être extraite. L'avantage de cette méthode est que les IMF prennent en compte les spécificités du signal. On rappelle que la transformée de Hilbert-Huang utilise l'analyse des IMF grâce à la transformée de Hilbert.

Si l'EMD a l'avantage de s'adapter au signal, et apparaît comme une solution plus à même d'extraire les informations pertinentes de l'ECG, elle a aussi un désavantage conséquent : L'EMD est très complexe à implémenter puisqu'elle nécessite plusieurs itérations d'une procédure d'interpolation [71]. D'autre part, la transformée en ondelettes est beaucoup moins coûteuse à implémenter. Une méthode de calcul, appelée transformée en ondelettes rapide (*Fast Wavelet Transform*, FWT) a été inventée par Stéphane Mallat et permet d'effectuer une transformée en ondelettes grâce à de simples filtres si l'ondelette mère possède certaines propriétés [69]. De plus, le choix de l'ondelette mère permet tout de même dans une certaine mesure d'adapter la transformée en ondelettes à l'ECG. C'est pourquoi la transformée en ondelettes a été retenue dans cette thèse.

4.3 Transformée en ondelettes rapide

La transformée en ondelettes rapide (FWT) est un algorithme de calcul d'une transformée en ondelettes via une cascade de filtres à réponse impulsionnelle finie (FIR), d'élévation et de réduction de cadence. Cet algorithme a été réalisé par Stéphane Mallat et est donc aussi appelé "Algorithme de Mallat". Une FWT est réalisable si l'ondelette mère considérée vérifie certaines conditions mathématiques décrites dans le chapitre 7 de la référence [69]. En outre, l'ondelette mère doit permettre de construire une base orthogonale de l'espace de Lebesgue L^2 et ainsi permettre une analyse multirésolution de l'espace de fonctions en question.

Quatre filtres FIR sont construits à partir de l'ondelette mère. Comme ces filtres ont des réponses fréquentielles de type passe-hauts et passe-bas, ils sont appelés *Low-pass* et *High-Pass decomposition filters* en anglais, abrégés LoD et HiD. De la même manière, les filtres de reconstruction sont désignés par les abréviations LoR et HiR.

L'étape de décomposition du signal permettant d'obtenir les coefficients est appelée transformée en ondelettes, ou décomposition en ondelettes tandis que l'étape de reconstruction est appelée transformée en ondelettes inverse. Par abus de langage, on désigne aussi l'ensemble des deux étapes par le terme "transformée en ondelettes". Une étape de décomposition et de reconstruction est représentée sur la figure 4.1.

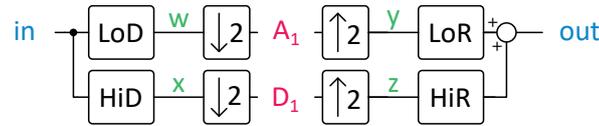


FIGURE 4.1 –

Schéma bloc d'une étape de décomposition et d'une étape de reconstruction d'une FWT

Le signal w est obtenu en convoluant le signal d'entrée in avec les coefficients du filtre LoD. De la même manière, on a le signal y égal à la convolution de in et de HiD. Le signal $A_1[t]$ est égal au signal w sous échantillonné par un facteur 2. On a donc $A_1[t] = w[2t]$. De même on a $D_1[t] = y[2t]$. Ces coefficients sont les coefficients de la transformée en ondelettes. A rassemble les coefficients dits d'approximation et D de détail.

À partir de ces valeurs on peut reconstruire le signal in . Le signal A_1 est d'abord sur-échantillonné, c'est-à-dire que $y[t]$ est égal à $A_1[t/2]$ si t est pair et 0 sinon. Il en est de même pour D_1 et z . Ensuite, on convolue y avec LoR et z avec HiR. Enfin on additionne les deux résultats et on obtient out . Si A_1 et D_1 n'ont pas été modifiés et qu'aucune approximation n'a été réalisée durant les calculs on a $in = out$.

Les équations 4.2 résument ces paragraphes.

$$w[t] = \sum_{j=0}^{j=n_{\text{wave}}} in[t-j]LoD[j] \quad (4.2a)$$

$$x[t] = \sum_{j=0}^{j=n_{\text{wave}}} in[t-j]HiD[j] \quad (4.2b)$$

$$A_1[t] = w[2t] \quad (4.2c)$$

$$D_1[t] = x[2t] \quad (4.2d)$$

$$y[t] = \begin{cases} A_1[t] & \text{si } t \text{ pair} \\ 0 & \text{sinon} \end{cases} \quad (4.2e)$$

$$z[t] = \begin{cases} D_1[t] & \text{si } t \text{ pair} \\ 0 & \text{sinon} \end{cases} \quad (4.2f)$$

$$out[t] = \sum_{j=0}^{j=n_{\text{wave}}} y[t-j]LoR[j] \quad (4.2g)$$

$$+ \sum_{j=0}^{j=n_{\text{wave}}} z[t-j]HiR[j] \quad (4.2h)$$

Plusieurs étapes peuvent être imbriquées en utilisant les coefficients d'approximation comme entrée de l'étape suivante (Figure 4.2). Le nombre d'étapes imbriquées est appelé profondeur de la FWT dans la suite.

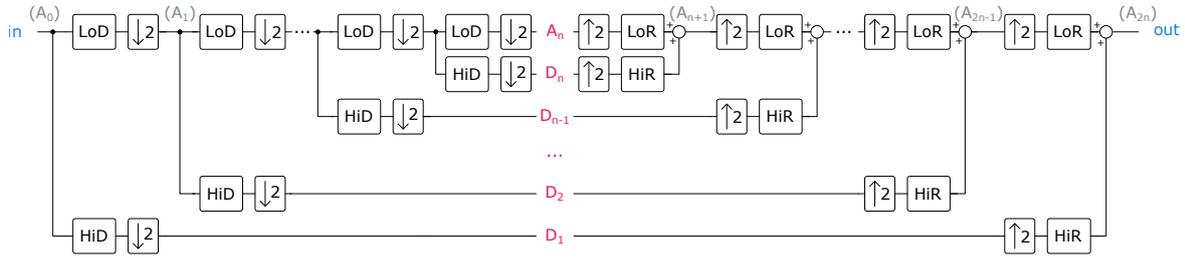


FIGURE 4.2 – Illustration d’une analyse multirésolution de n niveaux grâce à la FWT

Les (D_k) et (A_n) sont les coefficients de la transformée en ondelettes. Comme les filtres sont des passe-bas et des passe-hauts, les coefficients contiennent l’information de bandes de fréquence précises. Ainsi (A_n) contient l’information des plus basses fréquences du signal et (D_1) l’information des plus hautes. La fréquence d’échantillonnage de l’entrée, les caractéristiques de l’ondelette mère et la profondeur de la FWT vont déterminer les plages de fréquences des coefficients de la transformée.

La construction des filtres à partir d’une ondelette est décrite au chapitre 7 de la référence [69]. La théorie mathématique n’est pas abordée dans le détail ici, mais il est intéressant de noter les deux équations qui garantissent une reconstruction parfaite (4.3). Elles correspondent au théorème 7.11 de [69] dans le cas réel.

$$\widehat{\text{LoD}}(\omega + \pi)\widehat{\text{LoR}}(\omega) + \widehat{\text{HiD}}(\omega + \pi)\widehat{\text{HiR}}(\omega) = 0 \quad (4.3a)$$

$$\widehat{\text{LoD}}(\omega)\widehat{\text{LoR}}(\omega) + \widehat{\text{HiD}}(\omega)\widehat{\text{LoR}}(\omega) = 2 \quad (4.3b)$$

$$\text{avec } \overline{F[k]} = F[-k] \text{ et } \widehat{F}(\omega) = \sum_{n=-\infty}^{+\infty} F[n]e^{-in\omega}$$

On peut alléger le coût hardware et accélérer davantage la transformée en ondelette en utilisant le principe du *lifting* en ondelettes. Cela consiste à combiner les opérations de filtrages et de sous-échantillonnages ce qui permet, entre autres, de réduire le nombre de calculs ([69], p373). Cependant, cette opération rend l’adaptation de l’architecture à différentes ondelettes plus complexe. C’est pourquoi nous avons choisi de conserver un fonctionnement de type FWT plutôt que d’implémenter le *lifting* en ondelettes.

4.3.1 Coefficients de la transformée en ondelettes et bandes de fréquence

Comme mentionné précédemment, les filtres FIR utilisés pour réaliser une FWT ont des comportements de filtres passe-hauts et passe-bas. De fait, il apparaît que les coefficients de la transformée en ondelettes vont correspondre à des bandes de fréquences spécifiques. Par exemple les coefficients d’approximation A_n sont ceux obtenus après la plus longue succession de passe-bas et donc rassemblent les composantes de plus basse fréquence du signal. Inversement, D_1 rassemble les composantes de plus haute fréquence.

Le contenu fréquentiel des différentes bandes va dépendre de l’ondelette choisie. Néanmoins, on peut faire l’approximation suivante : chaque étape de décomposition divise la bande de fréquence

du signal par deux. La bande initiale est donnée par la fréquence d'échantillonnage du signal. En choisissant un échantillonnage à 500 Hz, il faut donc 14 étapes de décomposition pour atteindre la fréquence de 0.03 Hz, la fréquence de coupure maximale du comportement passe-haut défini dans la partie spécifications analogique (section 2.3.3). On choisit donc 14 comme profondeur maximale théorique dans cette étude.

4.3.2 Filtrage du bruit basse fréquence

La transformée en ondelettes a été choisie car elle permet de réaliser un filtrage du bruit. Dans notre cas de figure, nous nous sommes concentrés sur les bruits basses fréquences habituellement nommés *Baseline Wander* dans le cas de l'ECG.

Le principe du filtrage du bruit via la transformée en ondelettes repose sur une modification des coefficients A_n , D_k obtenus. Il existe théoriquement autant de méthodes d'élimination du bruit que de modifications possibles de ces coefficients.

Les travaux présentés dans [54] s'intéressent à différentes méthodes de seuillage de ces coefficients. Deux types principaux se distinguent : le *hard-thresholding* et le *soft-thresholding*. Dans le premier cas, les valeurs inférieures à un seuil sont mises à zéro et les autres sont conservées telles quelles. Dans le second, les valeurs inférieures sont toujours mises à zéro mais on soustrait aux autres la valeur du seuil pour rendre la transition moins abrupte. Les indicateurs de performance choisis par les auteurs de [54] sont le SNR et la MSE. Pour une combinaison de bruit, y compris la BW, l'amélioration du SNR est de l'ordre de 10 dB. Le principal inconvénient des méthodes de seuillage est la difficulté de choisir un seuil. Dans cet article, le seuil dépend de l'écart-type mesuré sur un D_k . C'est donc un traitement qui devrait être adapté pour une application en temps-réel.

La référence [21] présente succinctement deux autres méthodes. La première est une mise à zéro des coefficients d'approximation. La seconde est un filtrage passe-haut de fréquence de coupure 0.5 Hz des coefficients d'approximation. Ces travaux comparent ces deux méthodes, et trois autres, selon plusieurs paramètres. La méthode basée sur l'annulation des coefficients d'approximation est présentée comme celle introduisant la distorsion la plus faible et, en particulier, la plus faible déviation du niveau du segment ST. Comme cette méthode est très peu complexe et qu'elle semble avoir des résultats corrects, c'est elle qui a été choisie dans nos travaux.

4.3.3 Choix des ondelettes mères

Les caractéristiques de l'ondelette mère vont influencer sur les performances d'élimination du bruit et de détection des pics et autres motifs de la transformée. Elle doit donc être choisie avec soin. Peu de références comparent les performances obtenues en fonction de l'ondelette. Les références [72, 58, 73] comparent les ondelettes dans les cas respectivement de la compression, de l'élimination du bruit et de la détection du complexe QRS. La plupart du temps l'ondelette mère est reprise d'article en article ou bien choisie parce qu'elle ressemble visuellement à l'ECG.

Dans ces travaux, nous avons choisi de comparer des ondelettes pour déterminer laquelle représente le meilleur compromis déformation du signal-consommation-surface.

Nous avons commencé par choisir huit ondelettes à partir de l'état de l'art :

- Ondelette de Haar (notée haar)
- Ondelettes de Daubechies (db2, db3, db4)
- Ondelettes Biorthogonales (bior2.2, bior3.1)
- Ondelettes de LeGall (legall)
- Ondelette dite *Symlet* : (sym8)

L'ondelette de Haar est l'ondelette la plus simple. Même si ses performances attendues sont faibles, elle a été choisie pour servir de référence. Les ondelettes de Daubechies sont une famille d'ondelettes très fréquemment utilisées, que ce soit pour du traitement du signal ou du traitement d'images. L'ondelette db4 est la meilleure en termes d'élimination du bruit parmi les trois ondelettes comparées par [58]. Nous en avons retenu trois de longueurs différentes pour qualifier l'influence de ce paramètre, mais aussi pour qualifier la différence de performance à l'intérieur d'une même famille d'ondelettes. Les ondelettes biorthogonales sont une famille d'ondelettes conçues à partir du fonctionnement de l'algorithme de la FWT et respectant des contraintes mathématiques moins fortes que les ondelettes classiques. L'ondelette biorthogonales 3.1 est celle que la référence [73] considère comme l'ondelette la plus performante en termes de détection du pic R. L'ondelette de LeGall est une ondelette utilisée pour la compression JPEG2000 et elle est particulièrement facilement implémentable car les coefficients des filtres sont des nombres rationnels. Enfin, une dernière ondelette, *Symlet* 8, plus complexe, est choisie. Elle a été utilisée par la référence [74] qui mesure les déviations du segment ST.

La figure 4.3 illustre les fonctions ψ de ces ondelettes. Dans le cas des ondelettes seulement biorthogonales, la fonction ψ est différente entre la décomposition et la reconstruction.

Les filtres de ces huit ondelettes ont pour la plupart des coefficients irrationnels. Étant donné que les calculs sont effectués en virgule fixe, l'approximation des coefficients des filtres est inévitable. Néanmoins, ils peuvent être modifiés pour obtenir des coefficients rationnels. Les équations (4.3) montrent que si LoD est multiplié par un facteur α et LoR par un facteur $1/\alpha$ la propriété de reconstruction parfaite est conservée. Il en est de même si on multiplie HiD par un facteur β et HiR par un facteur $1/\beta$.

Dans le cas des ondelettes haar, bior2.2 et bior3.1, l'adaptation des coefficients est aisée. Un exemple pour l'ondelette de haar est montré dans la table 4.1. Les filtres LoD et HiR sont divisés par $\sqrt{2}$ et les filtres HiD et LoR sont multipliés par $\sqrt{2}$. Dans la suite on notera haar(r) et bior3.1(r) les ondelettes dont les filtres sont les versions rationnelles de haar et bior3.1. L'ondelette de LeGall est considéré comme la version rationnelle de bior2.2 même s'il y a des différences de signes (Table 4.2). Les fonctions d'ondelettes correspondantes sont illustrées par la figure 4.3. Dans le cas des autres ondelettes, une factorisation permettant de rationaliser les coefficients des filtres n'a pas été trouvée et elles n'ont donc pas d'équivalent rationnel étudié dans ces travaux.

Dans la table 4.2, on remarque que LeGall et bior2.2 (r) ont uniquement des zéros comme premiers coefficients. Ces zéros servent à resynchroniser le signal avec l'ondelette. De même, la longueur des filtres HiD et LoR de ces ondelettes sont étendus à six, grâce à l'ajout de zéros, pour avoir la même longueur que les filtres LoD et HiR.

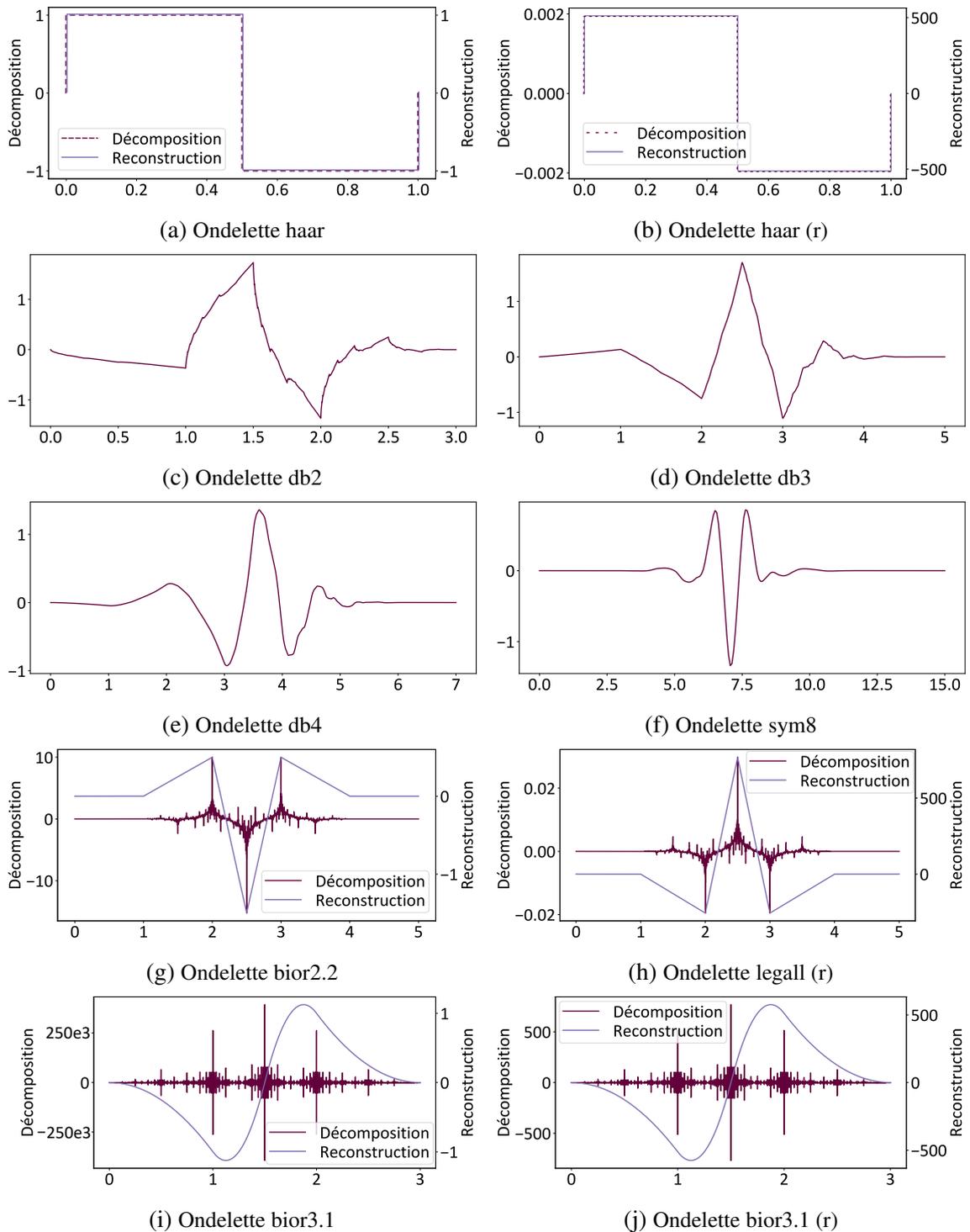


FIGURE 4.3 – Fonctions ondelettes

TABLE 4.1 – Adaptation des coefficients des filtres de l’ondelette Haar

	Haar	Haar (r)
LoD	$[\ 1/\sqrt{2} \ 1/\sqrt{2}]$	$[1/2 \ 1/2]$
HiD	$[-1/\sqrt{2} \ 1/\sqrt{2}]$	$[-1 \ 1]$
LoR	$[\ 1/\sqrt{2} \ 1/\sqrt{2}]$	$[\ 1 \ 1]$
HiR	$[\ 1/\sqrt{2} \ -1/\sqrt{2}]$	$[1/2 \ -1/2]$

TABLE 4.2 – Coefficients des filtres des ondelettes bior3.1 (rationalisé) et LeGall

	bior3.1 (r)	LeGall	bior2.2 (r)
LoD	$1/4 \cdot [-1 \ 3 \ 3 \ -1]$	$1/8 \cdot [0 \ -1 \ 2 \ 6 \ 2 \ -1]$	$1/8 \cdot [0 \ -1 \ 2 \ 6 \ 2 \ -1]$
HiD	$1/4 \cdot [-1 \ 3 \ -3 \ 1]$	$1/2 \cdot [0 \ -1 \ 2 \ -1 \ 0 \ 0]$	$1/2 \cdot [0 \ 1 \ -2 \ -1 \ 0 \ 0]$
LoR	$1/4 \cdot [\ 1 \ 3 \ 3 \ 1]$	$1/2 \cdot [0 \ 1 \ 2 \ 1 \ 0 \ 0]$	$1/2 \cdot [0 \ 1 \ 2 \ 1 \ 0 \ 0]$
HiR	$1/4 \cdot [-1 \ -3 \ 3 \ 1]$	$1/8 \cdot [0 \ -1 \ 2 \ 6 \ 2 \ -1]$	$1/8 \cdot [0 \ 1 \ 2 \ -6 \ 2 \ 1]$

4.4 Conclusion

Une transformée temps-fréquence décompose un signal sur une base de fonctions données. La décomposition en modes empiriques (EMD) utilise une base construite à partir du signal et la transformée en ondelettes utilise une base construite à partir d’une fonction appelée ondelette mère.

Des deux transformées temps-fréquence décrites, c’est la transformée en ondelettes qui a été choisie et qui sera implémentée dans cette thèse. En effet, elle est moins complexe à implémenter sur un système embarqué puisque, grâce à l’algorithme de la transformée en ondelettes rapide, elle se résume à réaliser des filtrages et des élévations et réductions de cadence. Les filtres de la FWT sont construits à partir de la fonction d’une ondelette appelée ondelette mère. Ils ont des comportements de passe-bas et passe-hauts et ils séparent ainsi le signal en bandes de fréquences. Les fréquences de ces bandes, et plus généralement les performances de la transformée en ondelettes, dépendront de l’ondelette mère choisie.

Dans cette étude, dix ondelettes seront implémentées : bior2.2, legall, bior3.1, db2, db3, db4, haar, sym8 et les versions à coefficients rationnels de haar et bior3.1. De cette manière, les compromis et l’influence des paramètres comme la longueur du support des filtres des ondelettes pourront être étudiés.

Chapitre 5

Implémentation de la transformée en ondelettes rapide pour l'ECG

5.1 Introduction

Ce chapitre décrit l'implémentation de la *Fast Wavelet Transform* (FWT) réalisée dans cette thèse. Il présente les différentes étapes de la conception puis le placement routage et enfin les performances mesurées grâce au layout et aux simulations post-layout.

La FWT a été choisie pour réaliser un traitement embarqué de l'ECG dans le but de détecter l'ischémie cardiaque, car elle permet à la fois de continuer l'élimination du bruit et d'extraire des informations du signal qui peuvent être ensuite utilisées pour effectuer un pré-diagnostic.

La contrainte guidant notre conception est la distorsion du segment ST. En effet, si elle est supérieure au seuil imposé par la norme IEC, le système ne pourra pas être considéré comme fiable. L'optimisation de la taille et de la consommation de la puce sont alors des contraintes secondaires, sans diminuer pour autant leur importance. La consommation a un impact direct sur la taille du système. C'est elle qui va définir la taille de la batterie requise et plus celle-ci sera importante, plus la taille du système sera importante, ou sinon son autonomie faible. D'autre part, la réalisation d'un circuit intégré a un coût non négligeable. Dans la technologie xh018, 1 mm² de silicium coûte aujourd'hui environ 2 000 euros et donc une puce de surface importante aura un coût prohibitif [75].

Comme présenté au chapitre 4, nous souhaitons pouvoir comparer différentes ondelettes mères et évaluer l'impact de ce choix sur les performances obtenues. Une autre contrainte de la conception est donc de réaliser une architecture aisément adaptable à des ondelettes mères ayant des filtres FIR de longueurs et de coefficients différents.

La première section de ce chapitre présente l'architecture puis décrit le fonctionnement des blocs qui la composent. La seconde section aborde la méthodologie utilisée pour optimiser les différentes variables et les paramètres de l'architecture pour chacune des dix ondelettes choisies. Enfin, la dernière section présente les résultats et les commentaires.

5.2 Architecture de la transformée en ondelettes

La FWT est réalisée par une succession de filtres FIR et des opérations de sous- et sur-échantillonnage (voir section 4.3). Tant que l'implémentation n'est pas complète, il n'est pas possible de mesurer les différentes performances comme la distorsion du signal, la consommation ou la surface de la puce. Dans un premier temps, chaque facteur qui peut avoir une influence sur l'un de ces indicateurs a été paramétré, c'est-à-dire qu'une variable a été introduite afin de pouvoir réaliser une optimisation par la suite.

5.2.1 Choix du type de l'architecture

Le premier choix qui a été réalisé est celui de l'organisation globale de l'architecture et du flux de données. Deux types d'organisation du hardware ont été considérés.

Le premier, et le plus répandu dans la littérature, est l'implémentation hardware de chacun des blocs requis. Dans ce cas tous les calculs sont réalisés en parallèle et le système est donc très rapide, mais le coût en termes de surface de la puce est conséquent, et ce d'autant plus que la profondeur de la FWT est importante. De plus, à cause des réductions de cadence, les filtres correspondant aux niveaux les plus profonds ne fonctionneront que rarement, et la rentabilité de leur implémentation est donc assez faible. Néanmoins, c'est celle couramment implémentée dans les systèmes intégrés présentés dans la littérature, comme dans [57, 76].

Le second type d'organisation considéré est l'implémentation d'une unique unité de calcul qui effectuera les opérations en série. On a alors un fonctionnement semblable à celui d'un processeur : un contrôleur va gérer le séquençement des opérations, une unité de multiplication-accumulation (MAC) réalisera les calculs dont les opérandes et les résultats sont stockés dans des mémoires. L'architecture "processeur" permet de réduire au maximum la quantité de hardware nécessaire. En effet, le nombre de multiplieurs et d'additionneurs est réduit à un. En revanche, le nombre de mémoires est inchangé par rapport à l'architecture "parallèle". Ces mémoires sont simplement rassemblées en une unité au lieu d'être dispersées dans la chaîne de traitement. De plus, l'architecture extrêmement générique s'adapte très facilement à différentes ondelettes : il suffit de modifier le contenu de la mémoire fournissant les coefficients à l'unité MAC. L'architecture "processeur" est cependant plus complexe à mettre en œuvre et nécessite une fréquence de fonctionnement plus élevée que la fréquence d'échantillonnage d'un facteur égal au nombre maximum d'opérations à réaliser en série.

C'est cette deuxième architecture qui a été retenue. En effet, dans notre cas, le nombre maximum d'opérations à réaliser en série ne dépasse pas quelques centaines et, comme la fréquence d'échantillonnage de l'ECG est de 500 Hz, cela impose une fréquence de fonctionnement maximum de l'ordre de quelques centaines de kilohertz, ce qui est suffisamment lent pour ne pas poser de problème. De plus, l'économie de hardware permise est un argument de poids dans le cas d'un système embarqué qui doit rester le plus petit le possible. Enfin, elle permet d'implémenter très facilement différentes ondelettes.

5.2.2 Schéma-bloc de l'architecture

L'architecture est illustrée par la figure 5.1. Elle est composée des blocs suivants :

- Une unité Multiplication-Accumulation. C'est l'équivalent d'une unité arithmétique et logique d'un processeur. Ici elle réalise uniquement des multiplications d'une valeur issue de la mémoire et d'un coefficient de filtre FIR, puis une accumulation, afin d'obtenir le résultat du filtrage. Deux registres permettent de stocker les résultats intermédiaires. Ce bloc possède aussi un buffer permettant de réaliser du *forwarding* (voire section 5.2.4).
- Un multiplexeur. Il permet de fournir à l'unité MAC soit un échantillon du signal présenté en entrée du système, soit une valeur provenant de la mémoire.
- Une ROM. Cette mémoire contient les coefficients des filtres LoD, LoR, HiD et HiR.
- Une RAM. Cette mémoire contient tous les résultats intermédiaires de la FWT et les coefficients de détail et d'approximation (D_k, A_k).
- Un contrôleur. C'est le bloc qui va séquencer les calculs, fournir les adresses de lectures et d'écritures aux différentes mémoires et tous les signaux de contrôles nécessaires. Son fonctionnement est décrit dans la section 5.2.4.

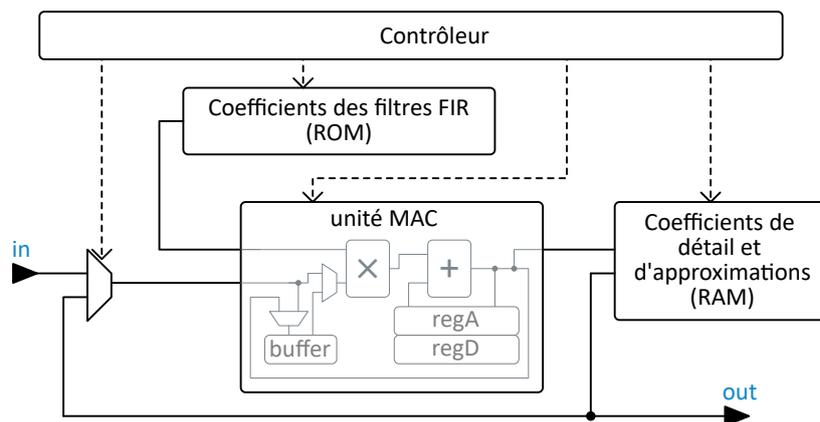


FIGURE 5.1 – Schéma-bloc de l'architecture de la FWT implémentée

Pour notre implémentation, nous avons choisi d'utiliser une mémoire RAM basse consommation fournie par XFAB, le fabricant de la technologie utilisée. C'est une mémoire simple-port, c'est-à-dire qu'elle ne peut réaliser qu'une écriture ou bien une lecture durant un cycle d'horloge.

5.2.3 Implémentation des calculs en virgule fixe

La représentation en binaire d'un nombre à virgule est la même qu'un nombre entier si ce n'est que ce nombre doit être divisé par un facteur 2^l . Si le nombre l est constant, on parle de virgule fixe (*fixed-point*), et s'il est variable, de virgule flottante (*floating point*).

Pour limiter la consommation et la taille de la mémoire, il a été choisi de réaliser les calculs en virgule fixe. En effet, l'implémentation des calculs en virgule flottante est beaucoup plus complexe que celle des calculs en virgule fixe qui est équivalente à celle des calculs sur les entiers. Les détails sont présentés dans l'annexe A.3.

Néanmoins, la virgule fixe ne permet pas la même précision que la représentation en virgule flottante. Les deux représentations tronquent les décimales, mais la virgule fixe ne peut pas changer d'ordre de grandeur et permet donc beaucoup moins de précision sur les valeurs faibles à longueur de donnée égale. Les troncatures introduisent des erreurs dans les calculs et la taille des données doit donc être définies afin que ces erreurs ne soient pas significatives.

Pour optimiser les tailles des données, nous utilisons trois représentations en virgule fixe différentes : une pour le stockage des coefficients des filtres FIR dans la ROM, une pour les calculs et les résultats intermédiaires de l'unité MAC et enfin une pour les données stockées dans la RAM (figure 5.2). On introduit les notations suivantes :

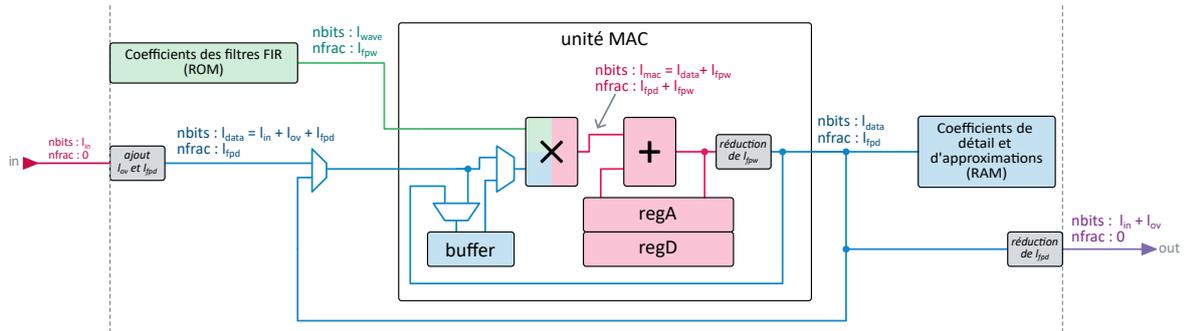


FIGURE 5.2 – Zones d'utilisations des différentes représentations en virgule fixe. $nbits$ est la longueur totale de la donnée et $nfrac$ celle de la partie fractionnaire

- l_{ov} : afin d'éviter les *overflow*, c'est-à-dire le dépassement de la valeur maximale représentable sur un nombre de bits donnés lors d'un calcul, on ajoute l_{ov} bits à la longueur de la partie entière des données. La méthode de calcul de l_{ov} est décrite plus en détail dans la section 5.3.2.
- l_{fpd} : la longueur de la partie fractionnaire utilisée pour représenter les résultats intermédiaires stockés dans la RAM.
- l_{data} : la longueur des mots de données dans la mémoire RAM et le buffer de l'unité MAC.
- l_{fpw} : la longueur de la partie fractionnaire utilisée pour représenter les coefficients des filtres FIR
- l_{wave} : la longueur totale utilisée pour représenter les coefficients des filtres FIR. Elle est égale à la somme de l_{fpw} et d'un nombre de bit déterminé par le maximum de la partie entière des coefficients des filtres FIR. Pour l'ondelette haar (r), on doit prévoir 2 bits de partie entière pour stocker une valeur allant de -1 à 1 (voir table 4.1). Dans tous les cas, elle est inférieure à l_{data} .
- l_{mac} : la longueur des mots de données dans les registres de l'unité MAC. Elle est égale à $l_{data} + l_{fpw}$ car la longueur de la partie fractionnaire d'une multiplication est égale à la somme des longueurs des parties entières de deux nombres.

Plus l_{ov} , l_{fpw} et l_{fpd} seront grands, meilleure sera la précision des calculs, mais plus importante sera la taille des mémoires et des blocs constituant l'unité MAC. Une optimisation sera réalisée dans la section 5.3 afin de trouver le meilleur compromis entre ces deux performances.

5.2.4 Séquencement des opérations et fréquence de fonctionnement du système

L'architecture fonctionne en temps-réel, c'est-à-dire qu'elle effectue les calculs requis pour fournir un échantillon de signal reconstruit à chaque nouvel échantillon en entrée.

À cause des sous- et sur-échantillonnages, les cycles de calculs déclenchés par l'arrivée d'un nouvel échantillon n'ont pas tous la même durée.

Le résultat d'un filtrage par LoD ou HiD permettant d'obtenir A_1 sera conservé si l'instant d'arrivée d'un échantillon en entrée est pair, sinon, à cause du sous-échantillonnage, il ne sera pas sauvegardé. Pour limiter les calculs inutiles, les multiplications et additions ne sont pas réalisées dans ce cas de figure. Comme les étapes sont imbriquées, on réalisera les filtrages de décomposition pour obtenir A_1 et D_1 si l'instant est pair, pour obtenir A_2 et D_2 si l'instant est un multiple de 4, pour obtenir A_3 et D_3 si l'instant est un multiple de 8 et ainsi de suite. De la même manière, les filtrages par LoR et HiR ne sont pas tous effectués à chaque nouvel échantillon d'entrée.

Le sur-échantillonnage, c'est-à-dire l'introduction de zéros entre chaque échantillon d'un signal pour en élever la cadence, permet aussi de réaliser une autre optimisation du nombre de calculs. En effet, une multiplication-accumulation (MAC) par zéro ne modifie pas la valeur d'un résultat. Ainsi, pour effectuer un filtrage LoR ou HiR, on a seulement besoin de réaliser la moitié des opérations théoriquement requises.

La durée maximale d'un cycle de calcul est obtenue lorsque toutes les étapes de la décomposition et de la reconstruction doivent être réalisées pour obtenir l'échantillon de sortie, c'est-à-dire lorsque l'instant est un multiple de $2^{n_{\text{levels}}}$, avec n_{levels} la profondeur de la FWT. Cela correspond à n_{levels} filtrages par LoD, n_{levels} filtrages par HiD, n_{levels} filtrages par LoR et n_{levels} par HiR. On note dans la suite n_{wave} le nombre de coefficients d'un filtre FIR. Un niveau de décomposition requiert n_{wave} MAC pour le filtre LoD et autant pour le filtre HiD. Un niveau de reconstruction requiert $n_{\text{wave}}/2$ MAC pour le filtre LoR, et le même nombre pour le filtre HiR grâce aux zéros introduits par le sur-échantillonnage. Lorsque les filtrages de tous les niveaux sont réalisés, il faut donc :

$$\text{Nombre maximal de MAC} = 2n_{\text{levels}}n_{\text{wave}} + 2n_{\text{levels}}n_{\text{wave}}/2. \quad (5.1)$$

Ces calculs permettent aussi de déterminer la fréquence minimale de fonctionnement du système. En effet, en réalisant une MAC par cycle d'horloge, il faudra au minimum $3n_{\text{wave}}n_{\text{levels}}$ cycles d'horloge entre deux arrivées d'échantillon d'ECG, c'est-à-dire en 2 ms. En réalité, le nombre de cycles requis pour effectuer tous les calculs nécessaire et sauvegarder les résultats en mémoire est supérieur à cette valeur puisqu'il doit prendre en compte les cycles requis où aucune MAC n'est réalisée. Cependant, comme tout cycle d'horloge superflu consomme de l'énergie et qu'une fréquence d'horloge plus élevée augmente la consommation due aux commutations dans les portes logiques, il faut tendre autant que possible vers la borne minimale calculée précédemment.

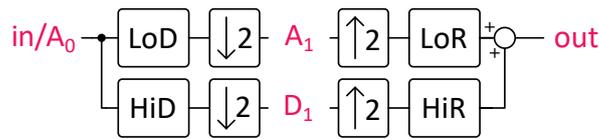
Comme la mémoire utilisée est une mémoire simple-port, la principale problématique a été de séquencer les lectures et les écritures de manière à n'avoir aucun cycle d'attente.

Un exemple est donné pour un niveau de décomposition sur la figure 5.3b. On considère que les filtres FIR ont une longueur de 2.

On cherche à obtenir $A_1[0]$ et $D_1[0]$ qui sont égaux à :

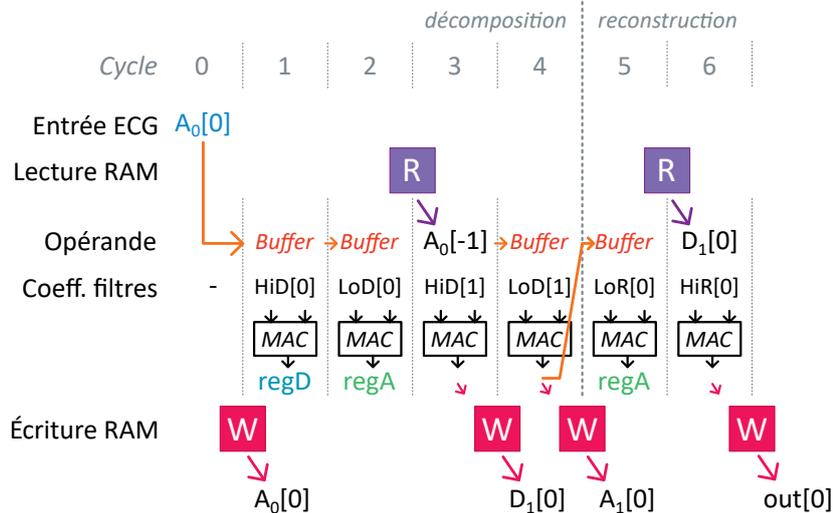
$$A_1[0] = \sum_{j=0}^1 \text{LoD}[j]A_0[0 - j] \tag{5.2a}$$

$$D_1[0] = \sum_{j=0}^1 \text{HiD}[j]A_0[0 - j] \tag{5.2b}$$



(a)

Schéma bloc d'une étape de décomposition et d'une étape de reconstruction d'une FWT



(b) Illustration du séquençement des opérations dans l'unité MAC pour une FWT de profondeur 1 et un filtre FIR de longueur 2

Cycle 0 La première étape est l'enregistrement de l'entrée ECG dans la mémoire (notée A_0). On effectue donc une écriture (*write*). Cependant, comme c'est aussi cette valeur qui va être utilisée pour les calculs de la FWT, on la stocke en même temps dans un registre dit *buffer* de l'unité MAC. Cette technique s'appelle le *forwarding* et permet d'éviter de devoir aller lire la valeur que l'on vient d'écrire en mémoire.

Comme les valeurs de A_0 sont utilisées dans les deux calculs, on va calculer les termes $j = 0$ pour A_1 et D_1 puis les termes $j = 1$ de manière à ne pas lire plusieurs fois la même valeur.

Cycle 1 On effectue le calcul $j = 0$ pour D_1 et on stocke le résultat dans le registre *regD*. En gardant la valeur du buffer comme opérande.

Cycle 2 On fait de même pour A_1 et on stocke le résultat dans $regA$.

Cycle 3 On passe alors au calcul du terme $j = 1$ en commençant par la lecture (*Read*) de $A_0[-1]$. Lorsque le terme $j = 1$ de D_1 a été calculé et accumulé, la valeur de $D_1[0]$ est disponible. Elle est immédiatement écrite dans la RAM. Comme on ne peut pas faire de lecture en même temps que cette écriture, et que la valeur de $A_0[-1]$ est aussi nécessaire au temps suivant pour calculer $A_1[0]$, elle est conservée dans le buffer.

Cycle 4 Lorsque la valeur de $A_1[0]$ est obtenue, elle est écrite en mémoire. Or elle doit aussi être utilisée pour les calculs de la reconstruction. Elle est donc aussi stockée dans le buffer pour qu'il ne soit pas nécessaire d'attendre un cycle de plus pour lire $A_1[0]$ dans la RAM.

La valeur du signal $out[0]$ est égale à :

$$out[0] = (LoR[0]A_1[0] + LoR \cdot 0) + (HiR[0]D_1[0] + HiR \cdot 0) \quad (5.3)$$

En effet, à cause du sur-échantillonnage, une valeur sur deux en entrée du filtrage est un zéro. Comme mentionné précédemment, les deux MAC ayant 0 en opérande ne sont pas réalisées. De la même manière que pendant la décomposition, on alterne les calculs de LoR et HiR, à la différence près que tout est accumulé dans un seul registre pour obtenir directement $out[0]$. Une fois cette valeur obtenue, le cycle de calcul est terminé. On constate que, dans ce cas, il nous faut 1 cycle pour l'écriture de l'entrée ECG dans la mémoire, 4 cycles de décomposition, 2 cycles de reconstruction et 1 cycle pour que l'écriture dans la RAM soit effective. On a donc deux cycles de plus que le nombre minimal calculé précédemment. La méthode de séquençement et la gestion des cas particuliers sont présentés plus en détails dans l'annexe A.4.

L'équation 5.4 donne l'expression de la durée maximale d'un cycle en prenant en compte les cycles supplémentaires requis et 1 cycle de marge supplémentaire.

$$\max(T_{cycle}) = 3n_{wave}n_{levels} + 3 \quad (5.4)$$

Cette équation permet d'obtenir la fréquence minimum de l'horloge du système.

5.2.5 Gestion des adresses et taille de la mémoire RAM

La mémoire est une IP fournie par XFAB. C'est une mémoire simple port basse consommation dont le nombre de mots et la taille sont paramétrables. Elle reçoit des adresses sous la forme d'entiers. La suite de cette section décrit la méthode de génération des adresses et le calcul du nombre de mots nécessaires en fonction des paramètres d'une ondelette.

Pour simplifier la génération des adresses, il a été choisi de simuler une structure ligne-colonne. Cette organisation est suggérée par la structure des coefficients de la transformée en ondelettes ($A_l[k]$, $D_l[k]$) qui donne assez naturellement l le numéro de colonne et k de ligne.

Le nombre de lignes dépend de la profondeur de la FWT n_{levels} . Il faut en effet pouvoir stocker les entrées (notées A_0), puis les coefficients A_l et D_l pour l allant de 1 à n_{levels} , mais aussi les étapes

intermédiaires de reconstructions (notées A_l par extension de la notation) avec l allant de $(n_{\text{levels}} + 1)$ à $(2n_{\text{levels}} - 1)$, et enfin la sortie, notée $A_{2n_{\text{levels}}}$. On a donc $(3n_{\text{levels}} + 1)$ lignes.

Les lignes vont fonctionner comme des buffers circulaires : chaque nouvelle écriture se fait sur la case suivante et la fin de la ligne reboucle sur le début de celle-ci. L'écriture d'une nouvelle valeur va donc écraser la valeur la plus ancienne du buffer. La longueur de la ligne, qui est aussi la taille du buffer circulaire, doit permettre de stocker toutes les valeurs nécessaires pour réaliser les filtrages FIR.

À titre d'exemple, on considère une FWT de profondeur $n_{\text{levels}} = 2$ et une ondelette dont les filtres FIR ont une longueur n_{wave} (figure 5.4). Pour pouvoir calculer $A_1[k]$, il est nécessaire de connaître les n_{wave} A_0 précédents : $A_0[k], A_0[k - 1] \dots A_0[k - (n_{\text{wave}} - 1)]$. La ligne mémoire correspondant à A_0 doit donc avoir une longueur de n_{wave} . Il en est de même pour A_1 . Pour pouvoir calculer $A_3[k]$, il faut n_{wave} échantillons du signal A_2 sur-échantillonné et autant du signal D_2 sur-échantillonné. Le sur-échantillonnage introduisant un zéro entre chaque échantillon, il suffit donc seulement d'avoir $n_{\text{wave}}/2$ échantillons de A_2 et $n_{\text{wave}}/2$ de D_2 stockés en mémoire puisque les autres valeurs requises seront forcément égales à zéro. Il suffit donc de $n_{\text{wave}}/2$ cases mémoires pour A_2 et autant pour D_2 . Il en est de même pour A_3 et A_4 .

Dans le cas de D_1 , le calcul de la longueur de la ligne requise est plus complexe. En effet, à partir d'une profondeur de FWT de 2, des délais doivent être ajoutés pour resynchroniser les coefficients de la transformée en ondelettes avant la reconstruction. Les coefficients D_1 sont obtenus en même temps que les coefficients A_1 , mais ces derniers doivent encore subir 2 étapes de filtrage avant d'être recombinaés avec D_1 lors de la reconstruction. Les filtres FIR des ondelettes introduisent un délai

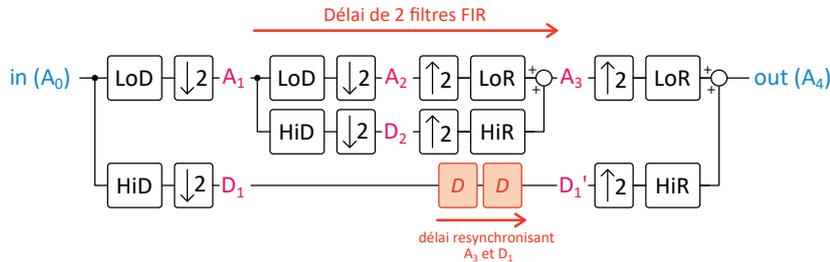


FIGURE 5.4 – Resynchronisation des coefficients de détail D_1 au moyen de l'ajout de délais dans le cas d'une FWT de profondeur 2

égal à $(n_{\text{wave}} - 1)/2$, n_{wave} étant le nombre de coefficients du filtre [77]. Dans l'exemple, il faut donc retarder D_1 de $n_{\text{wave}} - 1$. À l'instant k , il faut donc pouvoir écrire $D_1[k]$ et aussi accéder au D_1 d'il y a $n_{\text{wave}} - 1$ instants dans la même ligne mémoire. La taille du buffer doit donc être égale à la somme du nombre d'échantillons requis pour effectuer un filtrage par HiR et de la taille du délai.

Or, plus la FWT est de profondeur plus importante, plus les délais nécessaires à la resynchronisation sont importants. Le calcul détaillé des délais requis pour resynchroniser les coefficients de détail est donné en annexe A.5. Le délai maximum nécessaire est donné par l'équation 5.5.

$$\max(\text{Délai}) = (n_{\text{wave}} - 1) \times (2^{n_{\text{levels}} - 1} - 1) \quad (5.5)$$

La dépendance exponentielle du délai en la profondeur de la FWT fait exploser la taille maximale de la ligne et elle devient bien supérieure à la taille moyenne requise. Pour éviter d'implémenter de

longues lignes majoritairement vides, la taille des lignes est rendue variable.

La méthode mathématiquement naturelle pour générer un comportement de buffer circulaire est le modulo. En binaire, cette opération se résume à des décalages de bit si on réalise un modulo par une puissance de deux. Cependant, la formule du délai donne des tailles de lignes impaires et le calcul du modulo devient une opération itérative et complexe, nécessitant un nombre de portes logiques conséquent. L'implémentation de modulo pour les lignes stockant les coefficients de détail est donc complexe et coûteuse en termes de hardware et de consommation.

La solution retenue dans cette thèse pour générer un comportement de buffer circulaire est un fonctionnement à base de compteurs. Les valeurs stockées en mémoire sont le plus souvent lues de 1 en 1 (voir annexe A.4). On implémente alors un compteur par ligne qui fait office de pointeur. Ce pointeur est régulièrement incrémenté et un test est utilisé pour remplacer l'incrémentation par un retour à zéro, le cas échéant, pour obtenir le comportement de buffer circulaire.

D'autre part, ce système de compteurs est aussi utilisé pour le stockage des coefficients des filtres FIR dans la ROM à l'exception près que leur organisation a été réalisée de manière à simplifier les lectures. Entre autres, les coefficients du filtre LoD sont intercalés entre ceux du filtre HiD dans un ordre précis comme suggéré dans l'exemple de la figure 5.3b.

Pour transformer une paire de coordonnées lignes-colonnes en une adresse de format adéquat pour la RAM, on utilise un vecteur de constantes. La constante correspondant au numéro de colonnes donne un offset à ajouter à la coordonnée ligne pour obtenir l'adresse de la case mémoire à lire ou à écrire.

À partir du nombre de colonnes et des tailles des différentes lignes on peut calculer la taille totale de la mémoire nécessaire (équation 5.6, calcul détaillé dans l'annexe A.6). Le second terme rassemble la contribution des différents délais nécessaires à la resynchronisation. On retrouve donc la dépendance exponentielle en la profondeur de la transformée en ondelettes. C'est ce terme qui sera le plus problématique et qui imposera de réduire au maximum la profondeur nécessaire.

$$\text{Taille mémoire} = n_{\text{wave}} \times (2n_{\text{levels}} + 1/2) + (n_{\text{wave}} - 1) \times (2^{n_{\text{levels}}-1} - n_{\text{levels}}) \quad (5.6)$$

5.2.6 Implémentation du filtrage de la ligne de base

Parmi les méthodes d'élimination du bruit grâce à la transformée en ondelettes, nous avons retenu celle de l'annulation de coefficients. Elle consiste à remplacer un set A_l ou D_l par des zéros lors de la reconstruction.

De manière optimale, on pourrait même s'abstenir de faire les calculs pour obtenir ces valeurs quand il s'agit de D_l , puisqu'elles ne sont utilisées que pour la reconstruction. Ce n'est pas le cas pour les A_l qui permettent d'obtenir les coefficients d'approximation de niveau supérieur. Cependant, comme les coefficients peuvent être utilisés à d'autres fins, comme pour détecter des pics ou mesurer un niveau de bruit, nous avons choisi de toujours calculer tous les coefficients. C'est lors de l'étape de reconstruction que l'annulation sera réalisée.

L'implémentation est réalisée de la manière suivante. Un vecteur de bit de longueur $3n_{\text{levels}}$ est fourni comme entrée au système. Durant la phase de reconstruction, si le numéro de la colonne demandé en lecture à la RAM correspond à un bit de valeur 1, l'unité MAC réinitialise son buffer à zéro et utilisera le buffer comme opérande pour le calcul.

Cette implémentation est naïve dans le sens qu'elle permet d'obtenir le résultat escompté, mais qu'elle effectue tout de même une lecture de valeur qui ne sera pas utilisée ainsi qu'une MAC dont un opérande est égal à zéro et qui n'a donc pas d'impact sur le résultat.

5.3 Optimisation des paramètres de l'architecture

L'architecture générique décrite dans les sections précédentes est adaptée à chaque ondelette grâce à un ensemble de constantes comme le contenu de la ROM, le nombre de coefficients d'un filtre LoD ou HiD, ou encore la fréquence de fonctionnement. Si une part de ces constantes sont directement imposées par l'ondelette, d'autres ne sont pas définies. C'est le cas de la profondeur de la transformée en ondelettes n_{levels} et des longueurs de partie fractionnaire l_{fpw} et l_{fpd} présentées à la section 5.2.3

Dans cette section la procédure de choix des trois paramètres est décrite. Ce travail préparatoire est réalisé grâce à un script Python simulant le comportement du traitement numérique.

5.3.1 Choix de la longueur de la partie fractionnaire pour le stockage des coefficients des filtres FIR

Le calcul en virgule fixe implique un arrondi des valeurs réelles. L'arrondi des coefficients des filtres LoD, HiD, LoR et HiR peut faire perdre à la FWT sa propriété de reconstruction parfaite. Pour choisir l_{fpw} , on va donc réaliser une FWT de profondeur 12 avec des données qui ne sont pas arrondies et comparer la sortie avec l'entrée. On considère une valeur de l_{fpw} comme valide si l'erreur absolue entre la sortie et l'entrée est inférieure à $0.95\mu\text{ V}$, cette valeur ayant été déterminée comme le maximum acceptable pour ne pas introduire de distorsion supérieure à la norme IEC dans le pire des cas (voir annexe A.1).

Les résultats sont présentés dans le tableau 5.1. On remarque que les ondelettes à coefficients rationnels permettent toutes d'obtenir une erreur absolue maximale nulle. En effet, et par construction, leurs coefficients peuvent être écrits en binaire sans approximation. De plus, ces trois ondelettes ont aussi un l_{fpw} inférieur ou égale à 3 et nécessite donc une mémoire ROM très réduite par rapport à leurs contreparties non rationnelles. En effet, pour les sept autres ondelettes, un l_{fw} supérieur à 13 est nécessaire pour que l'erreur résiduelle soit suffisamment faible. La distorsion introduite dans ces configurations reste toujours largement inférieures aux seuils de $25\mu\text{V}$ pour le niveau et 0.05 mV/s pour la pente.

5.3.2 Choix des longueurs des parties fractionnaires pour le reste de l'architecture

Une fois le l_{fpw} fixé, on peut déterminer l_{fpd} et l_{ov} . Le résultat de l'addition de deux nombres de taille l en binaire nécessite normalement une taille $l + 1$, pour pouvoir stocker l'éventuelle retenue. Si la taille du résultat est restreinte à l , la valeur peut être tronquée : on parle alors d'*overflow*. De la même manière, une multiplication peut aussi causer un *overflow*. Pour éviter ces troncatures, on

TABLE 5.1 – Longueur minimale de la partie fractionnaire des coefficients des filtres FIR pour chaque ondelette

Ondelette	l_{fpw}	Erreur absolue maximale (μV)	Déviation maximale du segment ST	
	minimal (bits)		Niveau (μV)	Pente (mV/s)
bior2.2	15	0.4	0.26	0.002
bior3.1	15	0.9	0.49	0.003
bior3.1 (r)	2	0.0	0.09	0.000
db2	16	0.4	0.21	0.001
db3	13	0.8	0.39	0.002
db4	13	0.7	0.47	0.002
haar	14	0.4	0.35	0.002
haar (r)	1	0.0	0.09	0.000
legall	3	0.0	0.09	0.000
sym8	14	0.4	0.49	0.004

va ajouter un nombre l_{ov} de bits à la partie entière des données. Dans le pire cas, la taille minimale requise pour stocker un résultat augmente d'un bit à chaque accumulation, et du nombre de bits représentant le coefficient du filtre FIR à chaque multiplication. En pratique, les filtres FIR utilisés respectent des propriétés de stabilité (entrée bornée - sortie bornée) et la taille de données requise pour éviter les *overflow* sera donc plus faible. Pour déterminer l_{ov} , on s'appuie sur le fait que les coefficients des filtres en ondelettes sont déjà connus. Grâce à ces derniers on peut déterminer une borne supérieure du résultat d'un filtrage. Par exemple :

$$(\text{LoD} * \mathbf{A}_l)[k] = \sum_{j=0}^{n_{\text{wave}}-1} \text{LoD}[j] \mathbf{A}_l[k-j] < n_{\text{wave}} \cdot \max_m \mathbf{A}_l[m] \cdot \sum_{j=0}^{n_{\text{wave}}-1} |\text{LoD}[j]|$$

nous permet d'estimer que la taille maximale du résultat sera celle de l'entrée plus le logarithme en base 2 de la somme des valeurs absolues des coefficients d'un filtre FIR. Pour le filtre LoD de l'ondelette de LeGall cette somme vaut 1.5, et on devrait donc ajouter 0.5 bits à chaque filtrage, c'est-à-dire 1 bit tous les deux filtrages. Si on considère une FWT de profondeur 2, le nombre de filtrages consécutifs est de quatre et on devrait donc prendre $l_{\text{ov}} = 2$. Cette approximation est cependant très grossière et on trouve empiriquement que des valeurs beaucoup plus faibles suffisent à prévenir les *overflow*.

Les valeurs retenues après expérimentations sont présentées dans la table 5.2. Comme le signal est numérisé, l'erreur absolue maximale varie par pas. Elle est égale à $0.93 \mu\text{V}$ pour toutes les ondelettes, ce qui correspond à 1 bit. La plupart des ondelettes nécessitent 2 bits supplémentaires pour prévenir les *overflow*, sauf l'ondelette bior3.1 qui en nécessite 7. Cette différence peut être expliquée par l'amplitude très importante de sa fonction ψ (voir figure 4.3i). D'autre part, il n'y a pas de différences majeures entre les différentes ondelettes en termes l_{data} . Si toutes les configurations introduisent bien des distorsions inférieures aux seuils donnés par la norme IEC, on remarque que cette étape a considérablement augmenté la distorsion de pente introduite pour la majorité des ondelettes par rapport à l'approximation des coefficients des filtres FIR.

TABLE 5.2 – Longueur minimale de l_{fpd} requises pour $n_{\text{levels}} = 12$ pour chaque ondelette

Ondelette	l_{fpd}	l_{ov}	Erreur absolue maximale (μV)	Déviation maximale du segment ST	
	min (bits)	(bits)		Niveau (μV)	Pente (mV/s)
bior2.2	3	2	0.93	0.1	0.000
bior3.1	5	7	0.93	4.6	0.029
bior3.1 (r)	4	2	0.93	4.7	0.033
db2	3	2	0.93	1.4	0.007
db3	5	2	0.93	2.6	0.013
db4	4	2	0.93	2.6	0.014
haar	3	2	0.93	1.0	0.006
haar (r)	4	2	0.93	4.7	0.035
legall	4	2	0.93	4.7	0.022
sym8	4	2	0.93	1.6	0.012

5.3.3 Choix de la profondeur de la FWT

Les considérations sur la taille de la mémoire ont clairement fait apparaître la nécessité de minimiser la profondeur de la FWT requise. Il s'agit maintenant de déterminer quel est le nombre minimum nécessaire de niveaux. Le choix de n_{levels} est réalisé en prenant en compte l'impact de la stratégie de filtrage du bruit basse fréquence.

La méthode d'élimination du bruit implémentée est l'annulation de coefficients. Les bruits de plus basses fréquences étant rassemblés dans les coefficients d'approximation ($A_{n_{\text{levels}}}$), on souhaite implémenter la profondeur minimale telle que l'élimination de ces coefficients supprime ces bruits. Cependant, les coefficients de la transformée en ondelettes ne sont pas uniquement constitués de bruit mais aussi d'une part de signal et l'élimination d'un ensemble de ceux-ci risque de déformer le signal.

L'optimisation a été réalisée en suivant le procédé suivant : on génère un ECG d'étalonnage sans bruit, on réalise une décomposition en ondelettes de profondeur n_{levels} , on annule les coefficients d'approximation, on réalise la reconstruction à partir des coefficients ainsi obtenus. Durant ce procédé, les calculs sont réalisés en virgule fixe avec les paramètres déterminés précédemment sauf dans le cas des ondelettes haar et haar (r) : leur l_{fpd} a été augmenté d'un bit sinon elles n'atteignaient pas le niveau de distorsion requis en moins de 14 niveaux.

La distorsion du signal obtenu en sortie par rapport au signal d'entrée est alors une image de la distorsion introduite par la quantification, mais aussi de la part du signal qui a été perdu lors du filtrage.

Les résultats obtenus en simulation sont présentés par la table 5.3. Les colonnes 2 et 3 permettent d'estimer la marge de distorsion du segment ST pour les n_{levels} choisis. La quatrième colonne donne le SNR du signal obtenu en sortie. On peut noter une différence majeure de SNR en sortie entre les ondelettes bior3.1 et les autres. Le SNR est particulièrement dégradé car l'annulation des coefficients d'approximation crée des oscillations (figure 5.5). Ces oscillations sont suffisamment basses fréquences pour qu'elles soient compensées par notre méthode d'évaluation de la distorsion du segment

ST. Cependant, elles montrent que cette ondelette n'est pas adaptée à notre méthode d'élimination du bruit.

TABLE 5.3 – Profondeur de la FWT requise et distorsion associée pour une entrée non bruitée

Ondelette	n_{levels} minimal	Déviation maximale du segment ST		SNR (dB)
		Niveau (μV)	Pente (mV/s)	
bior2.2	11	4.7	0.032	35
bior3.1	13	4.9	0.027	-2
bior3.1 (r)	13	4.8	0.029	-2
db2	11	4.6	0.037	40
db3	10	4.8	0.034	37
db4	9	4.5	0.031	33
haar	14	7.2	0.047	46
haar (r)	14	4.8	0.035	47
legall	11	4.5	0.033	35
sym8	9	3.6	0.026	33

5.4 Implémentations et Résultats

5.4.1 Processus de conception et simulations réalisées pour le calcul des performances

La conception a été réalisée en plusieurs étapes. La figure 5.6 en décrit le détail du déroulé.

La première étape est la réalisation d'un script Python simulant le fonctionnement de l'architecture du circuit numérique implémentant la FWT. Ce script a deux fonctions principales :

- Génération d'ECG d'étalonnage grâce aux paramètres fournis par la norme IEC. Ce signal sera utilisé comme entrée par le reste du script et il est aussi transcrit dans un fichier texte pour être utilisé comme entrée des simulations du code VHDL.
- Réalisation d'une transformée en ondelettes idéale. Cette transformée est réalisée en utilisant des fonctions adaptées de celles de la librairie `PyWavelet`. Ces fonctions peuvent simuler les approximations dues au calcul en virgule fixe et à la taille des données. Cette étape permet d'obtenir un signal de sortie de référence.

La deuxième étape est la simulation de l'architecture de la FWT grâce à un deuxième script Python. Celui-ci doit traiter le signal d'entrée exactement de la manière que le fera le circuit numérique final. Il simule donc la génération d'adresse, les accès mémoires, les écritures en buffer dans l'unité MAC, etc. Tout d'abord les calculs ne sont pas approximatés pour pouvoir s'assurer que la sortie de ce script équivaut bien à celle du script de la FWT théorique. Une fois cette étape réalisée, on rajoute les approximations dues aux calculs en virgule fixe et aux *overflow*. On va alors ajouter des options

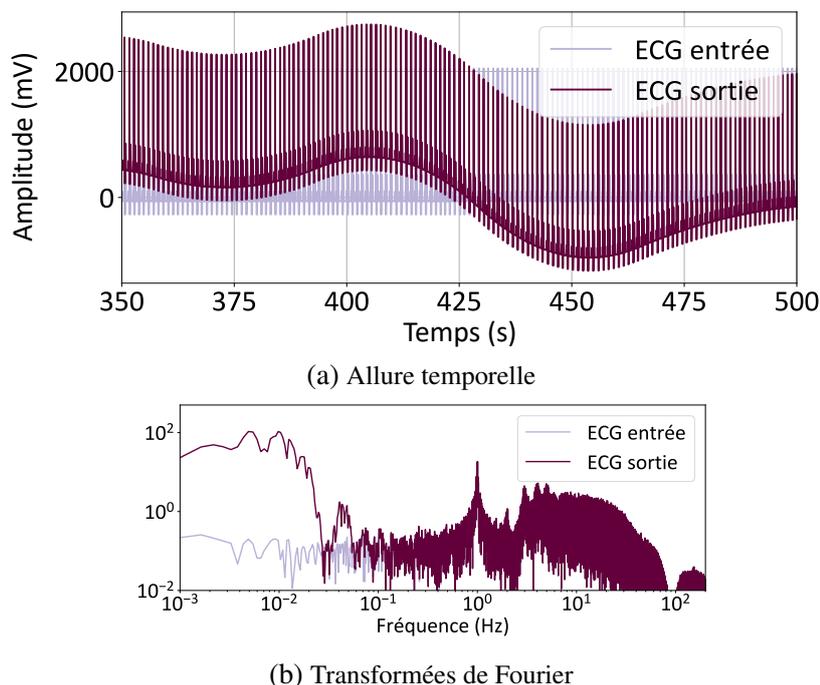


FIGURE 5.5 – Oscillations provoquées par une annulation des coefficients d'approximation dans le cas de l'ondelette bior3.1

aux premiers scripts afin qu'il puisse générer un signal de sortie théorique dans le cas de calculs approximatifs.

La troisième étape est la transcription de l'architecture codée en Python en VHDL. Elle est suivie par la simulation grâce au logiciel Modelsim de cette architecture, à laquelle est ajoutée une mémoire théorique codée par nos soins simulant le comportement de l'IP. Une fois de plus on contrôle l'adéquation entre la sortie obtenue et la sortie attendue et on corrige soit le code VHDL, soit l'architecture Python et la simulation des approximations en fonctions des erreurs obtenues.

La cinquième étape est la simulation grâce au logiciel Cadence Xcelium de l'architecture VHDL et de l'IP mémoire. En fonction de la sortie obtenue ou modifie le modèle théorique de la mémoire ou le code VHDL.

À l'issue de ces étapes, nous obtenons le code VHDL de l'architecture et deux jumeaux numériques en Python qui donnent tous les trois exactement la même sortie. Comme les simulations Python prennent beaucoup moins de temps que les simulations Modelsim ou Xcelium dans la suite, nous utilisons les scripts Python pour l'optimisation des différents paramètres et le calcul des performances en termes de distorsions.

On peut ensuite passer à la synthèse de l'architecture. Cette étape donne le nombre de portes logiques nécessaire à la réalisation de l'architecture numérique dans la technologie XFAB. Grâce aux données de la librairie basse consommation choisie, cette étape permet aussi de nous donner une estimation de la consommation et de la surface finale. On peut alors modifier l'architecture pour essayer de faire baisser ces deux quantités.

Enfin, le placement-routage est réalisé grâce au logiciel Cadence Innovus. Il permet d'obtenir

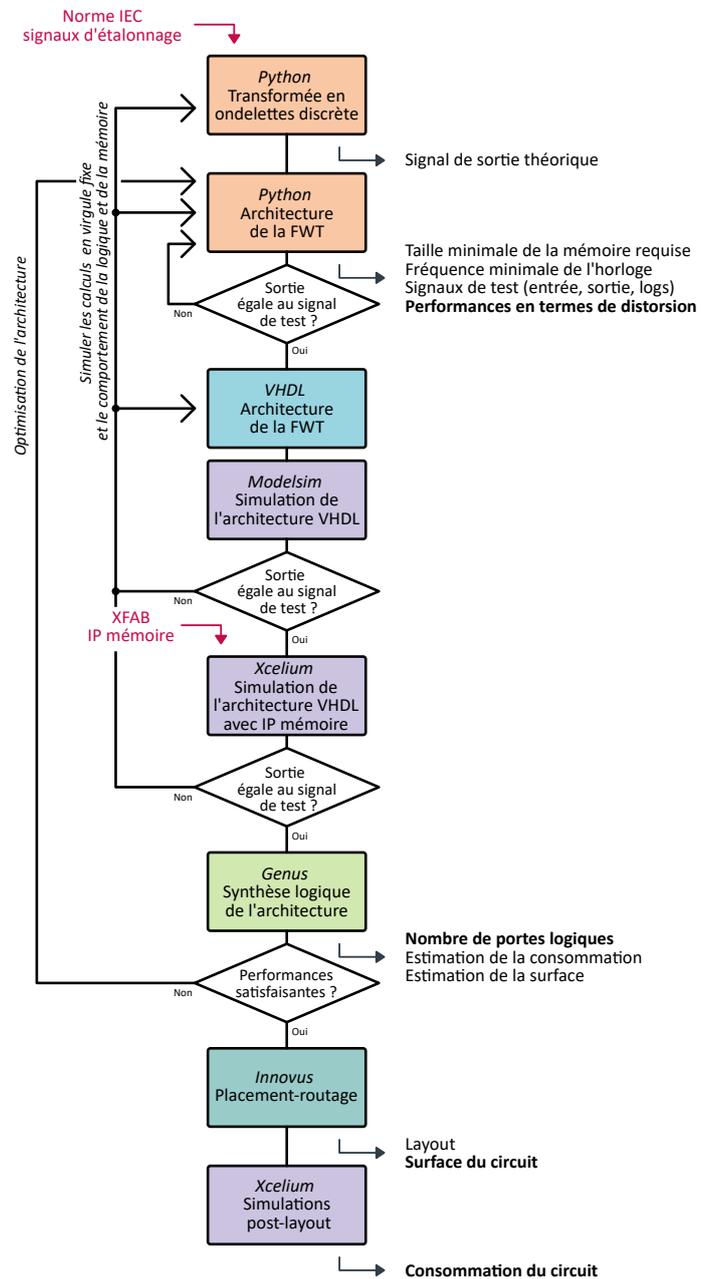


FIGURE 5.6 – Méthodologie de conception de la FWT intégrée

le layout, et par là la surface du circuit, ainsi que les fichiers requis pour effectuer des simulations post-layout grâce à Xcelium. Ces simulations nous donnent la consommation du circuit numérique.

L'estimation et la consommation finale du circuit sont obtenues en choisissant judicieusement un temps de simulation pour que le comportement de l'algorithme soit représentatif. De plus, la mémoire RAM a été initialisée pour que la mesure de consommation ne soit pas faussée par un comportement transitoire où les données issues de la RAM sont majoritairement des zéros.

5.4.2 Résultats

On rappelle que le signal ECG est échantillonné à 500 Hz et numérisé sur $l_{in} = 13$ bits. Les notations suivantes sont utilisées dans la suite :

- n_{levels} : la profondeur de la FWT
- n_{wave} : la longueur des filtres FIR : LoD, HiD, LoR et HiR
- l_{data} : la longueur des mots stockés dans la mémoire. Elle est égale à $l_{in} + l_{ov} + l_{fpd}$.
- f_{clk} : la fréquence de l'horloge du système.

Simulations Python

Les simulations du comportement du circuit réalisées grâce à un script Python nous ont permis de déterminer les configurations qui seront implémentées, d'évaluer la distorsion qu'elles introduisent et d'évaluer leur capacité à filtrer la BW.

Pour limiter le nombre d'IP différentes utilisées, nous avons choisi de retenir deux nombres de mots possibles pour les mémoires, $8k$ et $16k$ mots, et deux valeurs de l_{data} , 18 et 20 bits. Ces choix vont bien entendu avoir un impact sur la consommation calculée plus tard car le surplus de mémoire implémentée va consommer de l'énergie même s'il n'est pas utilisé.

Le tableau 5.4 récapitule les paramètres des configurations de la FWT pour les dix ondelettes choisies. Le pas de $8k$ mots impose inévitablement d'implémenter parfois une mémoire beaucoup plus grande que nécessaire. Dans le cas des ondelettes haar et haar (r) on implémente plus de $7k$ de mots de plus que nécessaire. Les paramètres l_{data} , n_{levels} et f_{clk} ont été choisis plus grands que leurs valeurs minimales pour augmenter la marge vis-à-vis des seuils de distorsion et pour simplifier la réalisation des dix configurations. Les minimums sont donnés dans la partie "Paramètres de l'architecture" tandis que la partie "Implémentation" donne les valeurs qui ont été utilisées pour réaliser le placement-routage. L'augmentation de l_{data} se fait, le cas-échéant, par une augmentation de l_{fpd} .

Le placement routage des ondelettes bior3.1 et bior3.1 (r) n'a pas été réalisé car l'étape d'optimisation a déterminé que ces ondelettes ne permettaient pas d'obtenir le niveau de distorsion voulu.

Le tableau 5.5 présente les performances des configurations décrites par les colonnes "Implémentation" de la table 5.4 en termes de distorsion obtenue grâce au script Python. Elles restent similaires aux performances obtenues dans les configurations minimales (5.3). La première colonne indique l'amélioration du SNR dans le cas du filtrage de la BW. Les ondelettes sont triées par ordre décroissant de ce SNR. Pour mesurer cette performance, on présente en entrée du système un ECG bruité par un signal BW fourni par la base de donnée *Noise Stress* avec un SNR de 0 dB. Le filtrage est réalisé par élimination des coefficients d'approximation et le SNR est mesuré en sortie de la reconstruction.

Les deux colonnes suivantes donnent la distorsion du segment ST introduite par la transformée en ondelettes dans les configurations décrites par la table 5.4.

TABLE 5.4 – Configurations de l’architecture adaptées à chaque ondelette

Ondelettes	Paramètres de l’architecture					Implémentation			
	n_{wave}	n_{levels}	nb de mots	l_{data}	f_{clk}	n_{levels}	nb de mots	l_{data}	f_{clk}
		min.	min.	min. (bits)	min. (Hz)			(bits)	(Hz)
bior2.2	6	12	20.6k	18	109.5k	12	16k + 8k	18	115k
bior3.1	4	14	49.2k	25	85.5k	14	-	-	-
bior3.1 (r)	4	14	49.2k	19	85.5k	14	-	-	-
db2	4	12	12.3k	18	73.5k	12	16k	20	80k
db3	6	10	5.2k	20	91.5k	10	8k	20	95k
db4	8	9	7.3k	20	121.5k	10	8k	20	125k
haar	2	14	16.4k	18	43.5k	14	16k + 8k	20	50k
haar (r)	2	14	16.4k	19	43.5k	14	16k + 8k	20	50k
legall (r)	6	12	20.6k	19	109.5k	12	16k + 8k	18	115k
sym8	16	9	15.5k	18	241.5k	10	16k	18	245k

TABLE 5.5 – Performances des différentes ondelettes - Distorsions

Ondelettes	Filtrage de la BW	Distorsion du segment ST	
	SNR (dB)	Niveau (μV)	Pente (mV/s)
sym8	7.5	3.5	0.022
db4	7.1	3.5	0.021
db3	6.9	4.5	0.031
bior22	3.1	4.7	0.031
db2	2.1	4.3	0.028
haar	1.8	4.6	0.028
haar (r)	0.1	6.0	0.048
legall (r)	0.1	4.8	0.035
bior3.1	-4.3	3.6	0.022
bior3.1 (r)	-4.3	4.3	0.028

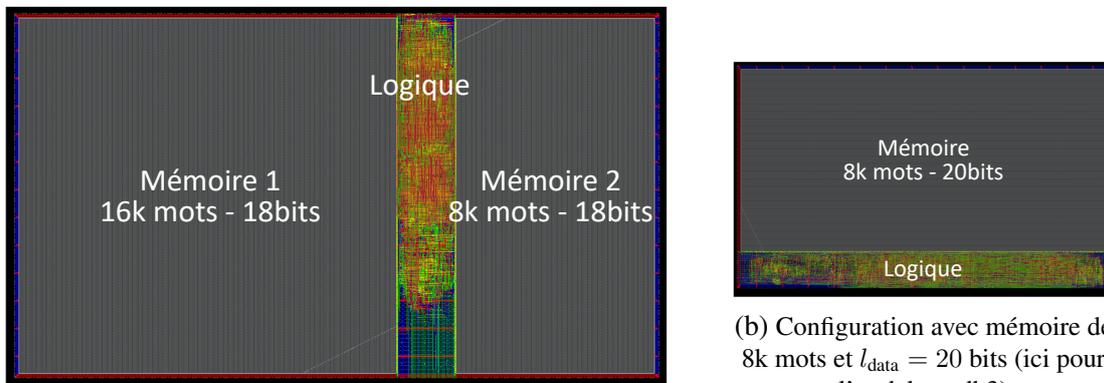
Synthèse, layout et simulations post-layout

La dernière partie de la table 5.6 récapitule les résultats obtenus via la synthèse, le layout et les simulations post-layout, et trie les ondelettes par consommation totale décroissante.

La première colonne indique le nombre de portes logiques utilisées pour implémenter le code VHDL. Du fait de l'architecture de traitement choisi, ce nombre ne varie pas de plus de 500 portes logiques (environ 12 %) selon les configurations. On peut tout de même noter que les configurations "rationnelles" (haar (r), legall (r)) nécessitent moins de portes logiques que leurs contreparties réelles (haar, bior2.2).

La deuxième colonne indique la surface occupée par le circuit, mémoire incluse. Les figures 5.7a et 5.7b illustrent la disposition des mémoires dans les cas $16k + 8k$ mots et $8k$ mots. La surface de la mémoire est largement supérieure à la surface requise pour les portes logiques. De plus, comme le nombre de portes logiques varie peu entre les configurations, c'est la taille de la mémoire qui va faire la différence entre les différentes ondelettes. Les tailles maximales sont atteintes par les ondelettes haar et haar (r), qui nécessitent une surface de 3.2 mm^2 , et les ondelettes bior2.2 et legall, qui nécessitent une surface de 2.9 mm^2 , toutes deux nécessitant des mémoires de $16k + 8k$ mots. La légère différence est due à l_{data} qui est égale à 20 bits dans le premier cas et à 18 bits dans le second. Les tailles minimales sont atteintes pour les ondelettes db3 et db4 qui nécessitent 1.2 mm^2 .

Dans notre cas, on ne voit pas de différence entre les ondelettes rationnelles et leurs contreparties réelles. En effet, même si leur nombre de portes logiques est différent, cette différence n'est pas suffisante pour avoir un impact significatif sur la surface de la puce.



(a) Configuration avec mémoire de $16k+8k$ mots et $l_{\text{data}} = 18$ bits (ici pour l'ondelette bior2.2)

(b) Configuration avec mémoire de $8k$ mots et $l_{\text{data}} = 20$ bits (ici pour l'ondelette db3)

FIGURE 5.7 – Layout et positions des mémoires

Les colonnes suivantes donnent le détail de la consommation des circuits entre la part due aux mémoires et la part due aux portes logiques. La consommation totale du circuit varie de 4.89 à $13.64 \mu\text{W}$ avec une part due à la mémoire comprise entre 50 à 80 %. L'impact de la taille de la mémoire sur cette performance est donc conséquent mais la consommation de la logique est loin d'être négligeable pour autant. De plus, les variations de la consommation de la logique mettent en valeur l'influence des différents paramètres sur la consommation totale.

Étude de l'impact des paramètres sur la consommation et la surface

La réalisation de ces dix configurations nous permet d'évaluer l'impact respectif des différents paramètres sur la consommation et la surface de la puce.

Le tableau 5.6 donne les résultats obtenus grâce au layout et aux simulations post-layout, combinés avec les paramètres présentés dans les sections précédentes. Une colonne a été ajoutée : le nombre de MAC par cycle. Cette quantité est proportionnelle à n_{wave} et à n_{levels} (voir équation 5.4). La figure 5.8 illustre les différentes consommations en fonctions du nombre de MAC par cycle.

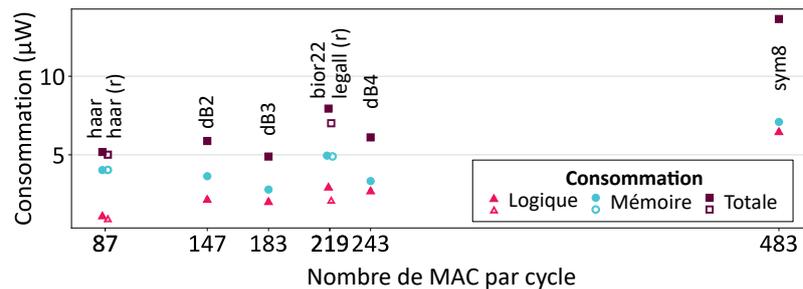


FIGURE 5.8 – Consommations en fonction du nombre de MAC par cycle

Pour qualifier l'influence de l_{fpw} , on compare les consommations totales entre les ondelettes "rationnelles" et leur contrepartie réelles. En effet, ce paramètre n'impacte que la taille de l'unité MAC : les ondelettes réelles nécessitent un multiplieur, un additionneur et des registres plus gros que leurs versions rationnelles. Il a donc un impact limité sur la surface totale puisque la surface de la logique importe peu devant la surface de la mémoire. De même, il a un impact négligeable sur la consommation de la mémoire.

Pour des l_{fpw} respectifs de 14 et 1, l'ondelette haar consomme $0.2 \mu\text{W}$ de plus que haar (r). L'ondelette bior2.2 $0.9 \mu\text{W}$ de plus que legall pour des l_{fpw} respectifs de 15 et 3. Si l'écart est plus important pour la paire bior22/legall, c'est parce que dans ces configurations le nombre de MAC par cycle est plus important. En effet, une ondelette rationnelle permet d'économiser de la puissance à chaque MAC et le gain en consommation augmente donc avec le nombre de MAC par cycles. C'est pourquoi, plus le nombre de MAC est élevé, c'est-à-dire plus n_{wave} et n_{levels} sont importants, plus il est avantageux de rationaliser les coefficients des filtres FIR de l'ondelette.

L'influence de n_{wave} est qualifiable grâce aux ondelettes db3 et db4. En effet, ces deux ondelettes requièrent le même nombre de niveaux, le même l_{fpw} , la même taille de mémoire implémentée et donc la même surface de puce. La différence en termes de n_{wave} se traduit par une différence dans la consommation de la logique et dans la consommation de la mémoire. La consommation de la logique traduit l'impact dû à l'augmentation du nombre de MAC et celle de la mémoire l'augmentation de la part de mémoire implémentée utilisée. Db4 consomme $1.2 \mu\text{W}$ de plus que db3 pour des n_{wave} respectifs de 8 et 6. L'augmentation de 30% de n_{wave} cause une augmentation de 25% sur la consommation totale, répartie en $0.5 \mu\text{W}$ de plus pour la mémoire et $0.7 \mu\text{W}$ de plus pour la logique. L'impact de ce paramètre est donc plus significatif que celui de l_{fpw} et pousse à choisir, si tous les autres paramètres ou indicateurs de performances sont satisfaisants, l'ondelette dont les filtres FIR auront le plus petit nombre de coefficients.

TABLE 5.6 – Performances des différentes ondelettes

		bior31	bior31 (r)	sym8	db4	bior22	legall (r)	db3	db2	haar	haar (r)
Implémentation	n_{wave}	4	4	16	8	6	6	6	4	2	2
	l_{tpw} (bits)	15	2	14	13	15	3	13	16	14	1
	n_{levels}	14	14	10	10	12	12	10	12	14	14
	Nb. mots minimum	49.2k	49.2k	15.5k	7.3k	20.6k	20.6k	5.2k	12.3k	16.4k	16.4k
	Nb. mots implémentés	-	-	16k	8k	16k+8k	16k+8k	8k	16k	16k+8k	16k+8k
	l_{data} (bits)	-	-	18	20	18	18	20	20	20	20
	f_{clk} (Hz)	-	-	245k	125k	115k	115k	95k	80k	50k	50k
	Nb. MAC par cycle	-	-	483	243	219	219	183	147	87	87
BW	SNR (dB)	-4.3	-4.3	7.5	7.1	3.1	0.1	6.9	2.1	1.8	0.1
Synthèse	Nb. de portes logiques	-	-	3764	3587	4267	3905	3612	4002	4195	3990
Consommation	Surface (mm ²)	-	-	1.93	1.18	2.91	2.91	1.18	2.12	3.2	3.23
	Mémoire (μW)	-	-	7.09	3.33	4.95	4.9	2.79	3.64	4.04	4.03
	Mémoire (%)	-	-	52	54.5	62.2	69.9	57	61.9	77.8	80.4
	Logique (μW)	-	-	6.55	2.78	3	2.11	2.1	2.24	1.15	0.98
	Logique (%)	-	-	48	45.5	37.8	30.1	43	38.1	22.2	19.6
	Totale (μW)	-	-	13.64	6.11	7.94	7.01	4.89	5.88	5.19	5.01

Le paramètre n_{levels} est celui qui a un impact direct sur la surface, la consommation de la mémoire et la consommation de la logique. En effet, la consommation de la logique est strictement croissante avec le nombre de MAC par cycle. Comme cette quantité est proportionnelle à n_{levels} on en déduit que la consommation de la logique augmente proportionnellement à n_{levels} . D'autre part, la consommation de la mémoire n'est pas strictement croissante en fonction du nombre d'opérations (figure 5.8). Entre bior22 et db4 elle est même décroissante. On peut faire le lien entre cette variation et n_{levels} et la dépendance exponentielle en ce paramètre de la taille de la mémoire (équation 5.6). En effet, si db4 requière plus de MAC par cycle à cause d'un n_{wave} plus important que bior22, elle requière au minimum 7.4k mots de mémoire contre 20.6k pour bior22. Ainsi, on confirme qu'une augmentation de n_{levels} impacte plus la consommation et la surface de la mémoire, à cause de la dépendance exponentielle de la taille de la mémoire en ce paramètre, que la consommation de la logique, qui n'est que proportionnelle à ce paramètre.

L'ondelette présentant les meilleures performances des dix ondelettes choisies dans notre étude est donc db3. En effet, la configuration de l'architecture permettant de passer sous les seuils de distorsion de l'IEC pour cette ondelette permet aussi d'implémenter un filtrage de la BW améliorant le SNR de 6.9 dB. Ce n'est pas la meilleure performance obtenue en termes de SNR, mais les deux ondelettes ayant un SNR de l'ordre de 7 dB, db4 et sym8, consomment respectivement 1.2 et 8.75 μW de plus que db3, pour des surfaces égales ou supérieures.

Plus généralement, cette étude nous permet de conclure que, pour une implémentation de ce type, il faut préférer les ondelettes dont le nombre de coefficients des filtres FIR est réduit et la profondeur de la FWT est la plus réduite possible. Elle indique aussi qu'un n_{levels} supérieur à 12 n'est pas nécessaire. En effet, l'amélioration du SNR lors de l'annulation des coefficients de la transformée en ondelettes de niveaux supérieurs à 12 est proche de 0.

5.4.3 Comparaison avec la littérature et Discussion

Comme, au meilleur de nos connaissances, il n'existe pas d'autres réalisations cherchant à respecter les contraintes de la norme IEC sur la distorsion, il n'est pas possible de scrupuleusement comparer nos résultats avec la littérature. Néanmoins, les travaux et les implémentations réalisées par certains articles peuvent nous éclairer sur l'écart entre nos résultats et l'état de l'art sur certaines performances.

Tout d'abord, l'article [21], qui qualifie la déformation du segment ST mais pas dans le sens de la norme IEC, nous renseigne sur notre performance en termes de distorsion.

Ces travaux comparent de manière théorique la déformation introduite lors du filtrage du bruit par différentes méthodes. L'une d'entre elles est l'annulation des coefficients d'approximation. Pour l'ondelette de Daubechies 8 (db8) et une profondeur de la FWT de 9, la distorsion de niveau introduite est de 0 μV avec une variance de 42 μV . Dans notre cas, on introduit donc une distorsion largement inférieure.

Notre performance en termes d'élimination du bruit peut être comparée aux travaux des deux articles [54, 58].

Le premier est une étude théorique de l'élimination de différents types de bruits grâce à des seuils appliqués aux coefficients de la transformée en ondelettes. L'ondelette mère est une ondelette originale dite de "Farras" et la profondeur varie jusqu'à 8. Ce sont donc des traitements plus complexes que celui que nous avons mis en œuvre. Pour le bruit de type BW, l'amélioration de SNR annoncée est de 15 dB.

Le deuxième article utilise un filtrage adaptatif extrayant un bruit de référence du signal grâce à une transformée en ondelettes de profondeur 4 et d'ondelette mère db4. L'implémentation sur FPGA de cette méthode permet d'obtenir un gain en termes de SNR de 11 dB.

Dans les deux cas, l'amélioration de SNR atteinte dans la littérature est bien supérieure à celle obtenue dans le meilleur des cas dans cette étude. Même si les performances annoncées par les articles ont été obtenues sans contraintes sur la distorsion, elles poussent à considérer des méthodes plus complexes d'élimination du bruit. Le compromis entre la consommation supplémentaire due à la complexité de la méthode et l'éventuel gain en termes de filtrage de la BW, voir en termes de profondeur de la FWT, est un sujet qui mériterait une étude à part entière.

Enfin, des réalisations de circuits traitant l'ECG grâce à la transformée en ondelettes discrète permettent aussi d'estimer l'écart entre la consommation et la surface de notre circuit et celles de l'état de l'art.

La référence [57] présente l'implémentation d'un circuit détectant les pics R en $0.18 \mu\text{m}$. Il extrait les informations de l'ECG grâce à une transformée en ondelettes de profondeur 4 sans reconstruction. L'ondelette choisie est la *quadratic spline*. Le système complet, la DWT et l'algorithme de détection des pics, consomme $4.7 \mu\text{W}$ en fonctionnant à 1 kHz, nécessite 12k portes logiques et a une surface de 0.14mm^2 . La consommation de ce circuit est inférieure à la plus basse des consommations mesurées pour nos configurations alors que le circuit présenté dans [57] implémente plus de fonctions. La surface est dix fois inférieure à celles de nos layouts.

Dans [2], les auteurs présentent une puce éliminant le bruit et segmentant l'ECG pour une consommation de $0.4 \mu\text{W}$. Ils utilisent une transformée en ondelettes de profondeur 4. Pour limiter la taille de la mémoire requise pour stocker les coefficients de détails, les auteurs fixent à zéro les valeurs inférieures à un certain seuil et se contentent de stocker le nombre de zéros consécutifs. De plus la vitesse de fonctionnement du système est abaissée à 500 Hz pendant les complexes QRS et 250 Hz sinon.

La principale différence entre ces deux implémentations et les nôtres est la profondeur implémentée : là où aucune de nos ondelettes n'a une profondeur inférieure à 9, aucune des implémentations de la littérature ne dépasse une profondeur de 4 ou 5, mis à part pour des études théoriques. Si les configurations données dans la littérature étaient implémentées grâce à notre architecture, elles requerraient donc beaucoup moins de calculs et une mémoire bien moins importante que nos configurations. Cette différence de profondeur de la FWT donne donc une première explication de la différence de consommation et de surface entre nos implémentations et celles présentées dans la littérature.

Plusieurs pistes peuvent être étudiées pour essayer d'obtenir une consommation et une surface plus faible. Tout d'abord, et comme mentionné précédemment, une méthode plus complexe d'élimination du bruit pourrait permettre de réduire la profondeur de la FWT nécessaire. Néanmoins, il faut

s'assurer que celle-ci n'introduit pas de distorsion prohibitive sur le segment ST.

Un second moyen serait l'abandon de la reconstruction en embarqué. La mesure du niveau du segment ST à des fins de diagnostic devrait alors s'effectuer à partir des coefficients en ondelettes. Le système pourrait alors compresser lesdits coefficients. En cas de motif pathologique détecté par le système, le signal compressé pourrait être transmis à moindre coût à une station de base qui se chargerait de la reconstruction et fournirait au praticien un signal ECG qu'il pourrait évaluer. Il faut alors comparer la complexité de la détection de l'ischémie à partir des coefficients de la transformée en ondelettes, par exemple via un réseau de neurones, à celle d'une mesure sur un ECG reconstruit sur le système.

5.5 Conclusion

Ce chapitre présente notre implémentation de la *Fast Wavelet Transform*. Nous avons opté pour une architecture similaire à celle d'un processeur où une unique unité multiplication-accumulation réalise tous les calculs en série. Ce type d'architecture est adapté à la faible fréquence d'échantillonnage de l'ECG et permet de réduire la quantité de portes logiques et de mémoire à implémenter, et donc la taille et la consommation du circuit. De plus, sa versatilité permet de l'adapter facilement et d'automatiser son implémentation pour différentes ondelettes en variant un nombre restreint de constantes. Le séquençement des opérations a été réalisé de manière à optimiser les accès mémoires et le nombre de cycles d'horloge entre deux échantillons d'ECG. Pour simplifier la logique requise, les calculs sont réalisés en virgule fixe. Afin d'adapter cette architecture aux différentes ondelettes choisies dans le chapitre 4, plusieurs paramètres ont été introduits comme notamment la taille de la partie fractionnaire pour les calculs en virgule fixe, mais aussi la profondeur de la transformée. L'optimisation de ces paramètres pour chaque ondelette a été réalisée grâce à un script Python. Ce même script a aussi permis de simuler le comportement de l'algorithme implémenté et, comme sa sortie est strictement équivalente à celle de l'architecture implémentée en VHDL par la suite, de valider le comportement de celle-ci ainsi que de mesurer la distorsion introduite par le traitement. Le comportement de la transcription en VHDL de l'architecture est vérifiée grâce à des simulations via Modelsim et Cadence Xcelium. La synthèse et le placement-routage du circuit ont été réalisés grâce à Cadence Genus et Cadence Innovus. Le layout obtenu et les simulations post-layout ont permis d'évaluer les performances du circuit en termes de consommation et de surface.

Dix configurations ont été dimensionnées de manière à satisfaire les exigences de distorsion de la norme IEC. Cependant, les implémentations de l'ondelette Biorthogonale 3.1 et de sa contrepartie rationnelle (bior3.1 (r)) n'ont pas réalisées. En effet, à cause de la méthode d'élimination du bruit choisie basée sur la suppression des coefficients d'approximation, ces ondelettes introduisent des oscillations basses fréquences dans le signal et ajoutent donc plus de bruit qu'elles n'en enlèvent. Nous en avons donc conclu qu'elles ne convenaient pas dans le cadre de cette étude.

Les placements-routages des huit autres configurations ont été réalisés et les layouts obtenus ainsi que les simulations post-layout ont permis de mesurer leurs surfaces et leurs consommations.

La consommation totale est comprise entre 4.89 et 13.64 μW . La surface est comprise entre 1.18 et 3.23 mm^2 .

La surface dépend principalement de la taille de mémoire requise, qui elle-même dépend de la

profondeur de la FWT. La consommation est, elle, liée à la fois à la taille de la mémoire et au nombre d'opérations par cycle d'horloge, quantité proportionnelle à la profondeur de la FWT d'une part et de la longueur des filtres FIR de l'ondelette d'autre part. La rationalisation des coefficients des filtres FIR d'une ondelette, présentée au chapitre 4, permet de diminuer la consommation de la logique, mais a un impact bien moins important que les deux paramètres précédents.

Cette étude nous permet d'affirmer que pour obtenir une faible consommation et une faible surface, il faut réussir à vérifier les contraintes de distorsion de la norme IEC pour une profondeur et un nombre de coefficients des filtres FIR aussi faibles que possible.

L'ondelette de cette comparaison donnant le meilleur compromis entre consommation, surface et élimination de la BW est l'ondelette de Daubechies 3 (db3). Elle permet d'obtenir un gain de 6.9 dB de SNR lors du filtrage de la BW avec une surface de 1.18 mm^2 et une consommation de $4.89 \mu\text{W}$.

Les FWT implémentées dans la littérature, sans contrainte de distorsion et la plupart du temps sans reconstruction, affichent des consommations et des surfaces bien inférieures à celles obtenues dans cette étude. Cet écart montre le coût nécessaire pour préserver le segment ST lors du traitement numérique de l'ECG. La contrainte de distorsion impose en effet une profondeur de la FWT bien supérieure à celles des implémentations de la littérature, et donc une consommation et une surface plus importantes.

Plusieurs solutions peuvent être envisagées pour améliorer les performances de nos implémentations. On peut penser à la mesure des différents paramètres à partir des coefficients pour pouvoir se passer de l'étape de reconstruction, ou à l'étude d'autres méthodes d'élimination du bruit par traitement des coefficients de la transformée en ondelettes. Ces deux axes de recherches mériteraient chacun une étude approfondie pour pouvoir converger vers un traitement de l'ECG adapté à la détection d'ischémie basée sur la transformée en ondelettes.

Conclusion

Selon les données de l'Organisation Mondiale de la Santé, les maladies ischémiques cardiaques sont la première cause de mortalité au monde [4]. L'ischémie cardiaque est un défaut d'approvisionnement du cœur en sang : les cellules ne reçoivent pas assez d'oxygène pour fonctionner normalement. Une des principales causes de cette mauvaise vascularisation est la présence d'une obstruction partielle ou complète d'une des artères qui alimentent le cœur en sang. Si l'ischémie perdure, les cellules du muscle cardiaque peuvent finir par mourir : c'est l'infarctus cardiaque. Les dégâts sont alors irréversibles et devront nécessiter un suivi médical sur le long terme quand ils ne sont pas immédiatement mortels.

La détection de l'ischémie cardiaque avant cette complication permettrait au patient d'être pris en charge à temps et ainsi d'éviter le pire.

Pour détecter l'ischémie, et comme pour beaucoup d'autres pathologies cardiaques, on utilise l'électrocardiogramme (ECG). C'est une mesure de l'activité électrique du cœur grâce à des électrodes placées principalement sur le torse. L'ECG présente des points caractéristiques qui sont désignés par des lettres. Par exemple, le pic R désigne la plus grande déviation de l'ECG lors d'un battement cardiaque. La partie du signal qui est utilisée pour le diagnostic de l'ischémie ou de l'infarctus est nommée "segment ST".

Pour réaliser un suivi continu de l'ECG, on réalise des mesures embarquées de ce signal, par exemple avec un holter cardiaque. En effet, la mesure embarquée permet de suivre l'ECG d'un patient sans le gêner dans sa vie quotidienne et sans nécessiter une surveillance de la part du personnel médical. Cependant, le bruit affectant les mesures embarquées est bien plus important que lors de mesures classiques chez un praticien. En effet, le patient bouge, respire et les électrodes glissent, ce qui crée des bruits d'amplitudes très importantes et rend délicate l'analyse du signal. On peut citer le bruit dit *baseline wander* (BW) qui rassemble des oscillations de basses fréquences et de fortes amplitudes. De plus, l'élimination de ces bruits est une tâche difficile puisque leurs fréquences se superposent avec celles de l'ECG et qu'une élimination de ces bruits peut aussi éliminer de l'information médicale, par exemple en déformant le segment ST.

À ce jour, au meilleur de nos connaissances, il n'existe pas de systèmes de suivi embarqué de l'ischémie cardiaque. Les systèmes existants de suivi de l'ECG cherchent à détecter les arythmies, un autre type de pathologie cardiaque. On retrouve la même tendance dans la littérature. De plus, très peu de systèmes cherchent à qualifier la perte d'information médicale lors du traitement. Or, une information déformée est source de mauvais diagnostic, et un système ne qualifiant pas cette déformation sera donc plus difficilement considéré comme fiable.

La norme de l'IEC [3], donnant les performances minimales des électrocardiographes, donne des

seuils de distorsion maximale du segment ST permettant de qualifier la fiabilité d'un traitement de l'ECG. Elle stipule que la déviation du segment introduite lors du traitement doit être inférieure à $25 \mu\text{V}$ et la pente du segment introduite doit être inférieure à 0.05 mV/s .

Dans cette thèse, nous avons donc choisi d'étudier la conception d'un système de suivi embarqué d'ischémie cardiaque en mettant l'accent sur la mesure de la distorsion.

Contributions

La première étape de ces travaux a été de mettre au point une méthode de mesure de la distorsion pour pouvoir évaluer la performance des différents blocs conçus dans la suite. Cette méthode permet d'obtenir la déviation du niveau du segment ST ainsi que sa déviation de pente. Elle s'appuie sur la norme IEC et utilise des signaux ECG d'étalonnage fournis par celle-ci.

Un système embarqué de suivi de l'ECG est habituellement constitué de trois parties : un étage d'acquisition analogique (AFE) qui va amplifier et réaliser un premier filtrage des bruits, un convertisseur analogique-numérique (ADC) et un dernier bloc de traitement numérique du signal qui va effectuer diverses fonctions, depuis l'élimination du bruit jusqu'à la réalisation d'un pré-diagnostic. Une étude de l'état de l'art des systèmes de mesures de l'ECG nous a permis de recentrer notre travail sur l'AFE et le traitement numérique. En effet, il existe des ADC permettant d'obtenir les performances requises.

Les objectifs de la conception de l'AFE ont été d'amplifier le signal avec un gain de 100 et de filtrer le bruit BW. Parmi les architectures présentées dans la littérature nous avons choisi de réaliser un *Capacitively-Coupled Chopper Amplifier*. Cette architecture a l'avantage de réduire l'impact du bruit en $1/f$ généré par les transistors qui affecte particulièrement les basses fréquences, bande de fréquences où se situe aussi l'ECG.

Notre étude préliminaire de la distorsion introduite par l'AFE nous a indiqué qu'un filtrage passe-haut du premier ordre introduit une déformation supérieure aux seuils de la norme IEC si la fréquence de coupure choisie dépasse 0.03 Hz . Atteindre une fréquence de coupure aussi basse n'est pas réalisable en intégrant avec des composants usuels. Nous avons choisi d'implémenter une boucle de rétroaction spécifique, une *DC servo loop* (DSL), composée d'un intégrateur à capacités commutées pour réaliser ce comportement passe-haut. L'AFE a été implémenté et les performances, comme la distorsion ou la consommation, ont été mesurées via des simulations de son comportement transitoire avec bruit grâce au logiciel Cadence Virtuoso, dans la technologie XFAB $0.18 \mu\text{m}$.

Les simulations des pires cas (*corners*) donnent une distorsion maximale du niveau du segment ST de $7.6 \mu\text{V}$ et, une distorsion maximale de sa pente de 0.013 mV/s pour une consommation allant de 4.7 à $20.5 \mu\text{W}$. La distorsion introduite par notre AFE est donc sous les seuils donnés par la norme IEC. Concernant sa consommation, bien que légèrement supérieure à celles des systèmes destinés à l'acquisition d'ECG présentés dans la littérature, elle est du même l'ordre de grandeur que pour ces circuits dont la distorsion n'est pas contrainte ou spécifiée.

Les objectifs du traitement numérique sont l'élimination des bruits restant après le filtrage réalisé par l'AFE, et l'extraction d'informations du signal. Parmi les méthodes existantes de traitement

numérique de l'ECG, nous avons choisi d'implémenter une transformée en ondelettes. C'est une transformée temps-fréquence, c'est-à-dire une transformée qui fournit des informations à la fois sur la fréquence et la position temporelle d'évènements du signal. Elle présente l'avantage d'être peu complexe à implémenter sur un circuit intégré et de permettre à la fois de réaliser un filtrage du bruit, de reconstruire le signal original et de fournir, via les coefficients de la transformée en ondelettes, un signal dont on peut facilement extraire les positions des pics R, point de référence d'un battement cardiaque sur un ECG.

L'algorithme de la transformée en ondelettes rapide (*Fast Wavelet Transform*, FWT) permet d'implémenter la transformée en ondelettes comme une succession de filtres FIR, de sous- et de sur-échantillonnages. Ces opérations étant peu complexes, elles sont adaptées à une implémentation en électronique intégrée. Les filtres FIR, ainsi que les performances de la FWT, dépendent de l'ondelette mère choisie. Dans ces travaux, nous avons voulu étudier l'influence de ce choix sur les performances du système : consommation, distorsion, surface, etc.

Nous avons donc conçu une architecture générique fonctionnant en temps-réel qui peut être adaptée à différentes ondelettes mères. Elle est constituée d'une unité multiplication-accumulation (MAC), d'une mémoire ROM pour les coefficients des filtres FIR de l'ondelette et d'une mémoire RAM stockant les résultats intermédiaires. Le séquençage des opérations et des accès mémoires a été optimisé de manière à minimiser le nombre de cycles de calculs nécessaires. Le filtrage de la BW est réalisé via l'annulation des coefficients d'approximation, contenant les basses fréquences du signal.

Dix ondelettes ont été choisies et implémentées via cette architecture : l'ondelette de Haar (haar), trois des ondelettes de Daubechies (db2, db3, db4), une ondelette de type *symlet* (sym8), deux ondelettes biorthogonales (bior2.2, bior3.1), l'ondelette de LeGall (legall), ainsi que des versions modifiées de haar et de bior3.1 pour que leurs filtres FIR aient des coefficients rationnels dont l'implémentation est plus simple et requiert moins de hardware. Les différents paramètres (longueur des données, profondeur de la transformée, fréquence de fonctionnement et tailles des mémoires) ont été optimisés pour chaque ondelette.

Un script Python simulant le comportement de l'architecture nous a permis de mettre au point l'algorithme de calcul. L'architecture a ensuite été implémentée en VHDL et l'adéquation entre l'architecture simulée via Python et l'architecture VHDL a été vérifiée en utilisant le simulateur Modelsim. Les résultats obtenus nous ont permis de déterminer les configurations pour chaque ondelette permettant de respecter la norme IEC. Parmi celles-ci, l'ondelette bior3.1 et sa contrepartie rationnelle ne permettent pas d'obtenir une performance d'élimination de la BW satisfaisante et n'ont donc pas été conservées dans la suite de cette étude. Ensuite, nous avons réalisé la synthèse logique et le placement-routage du circuit pour les huit ondelettes restantes. Ces étapes permettent de quantifier le nombre de portes logiques nécessaires dans la technologie XFAB, d'obtenir le layout, et donc la surface, et enfin la consommation de ces architectures grâce à des simulations post-layout.

La surface est comprise entre 1.18 et 3.23 mm². La consommation est comprise entre 4.89 et 13.64 μ W. Les paramètres ayant le plus d'impact sur ces performances sont la profondeur de la FWT et la longueur des filtres FIR. En effet, la taille de la mémoire, et donc la surface, dépend exponentiellement de la profondeur de la FWT tandis que le nombre de MAC, et donc la consommation de la logique, est proportionnelle au produit de la profondeur et de la longueur des filtres FIR. L'ondelette

CONCLUSION

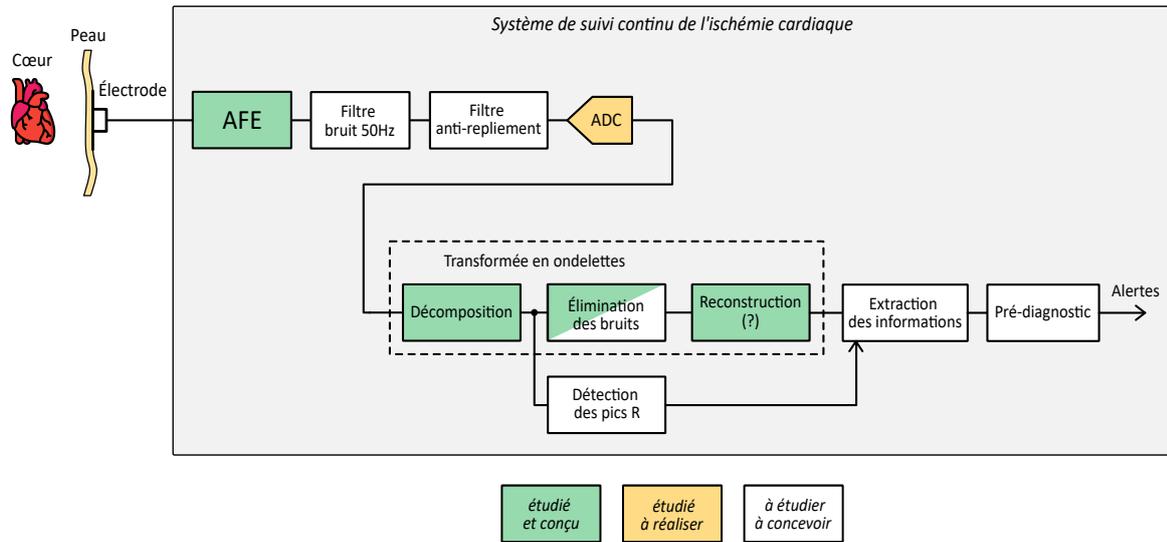


FIGURE 5.9 – Architecture complète du système de suivi continu d'ischémie cardiaque

réalisant le meilleur compromis dans cette étude est l'ondelette de Daubechies 3 (db3). Pour une consommation de $4.89 \mu\text{W}$ et une surface de 1.18 mm^2 , elle respecte les contraintes de distorsion sur le segment ST de la norme IEC et permet de réaliser un filtrage de la BW améliorant le SNR de 6.9 dB. Ces performances sont bien en dessous de celles publiées dans la littérature, et ce pour une principale raison : la faible profondeur maximum implémentée dans la littérature. Elle est généralement inférieure à 5, là où la contrainte de distorsion combinée à notre méthode d'élimination du bruit nous impose une profondeur supérieure à 10.

Néanmoins, cette étude permet d'identifier les différents compromis liés au choix de l'ondelette. Une ondelette complexe, c'est-à-dire ayant une longueur de filtres FIR plus longue, comme db4 ou sym8, est plus susceptible de requérir une faible profondeur et tend à faire diminuer la taille de la mémoire, mais elle requiert aussi un plus grand nombre d'opérations, impliquant une consommation de la logique plus importante. Au contraire, une ondelette simple, comme l'ondelette de Haar, nécessite un nombre d'opérations très réduit, et donc une faible consommation de la logique, mais la profondeur requise est beaucoup plus importante et augmente considérablement la taille de la mémoire et sa consommation.

Perspectives

Ces travaux sont une première étape vers la conception d'un système embarqué de l'ischémie cardiaque, mais découvrent tout autant de problématiques qu'ils n'en résolvent. La figure 5.9 présente la chaîne complète envisagée du système de suivi continu d'ischémie cardiaque et récapitule les apports de ces travaux.

La partie analogique doit être complétée d'un filtre notch permettant d'éliminer le bruit 50 Hz et d'un filtre anti-repliement précédant le convertisseur analogique-numérique. La distorsion introduite par ces deux étapes s'ajoutera à celle de l'AFE et doit donc être quantifiée. De plus, un layout

analogique doit être réalisé afin de pouvoir estimer l'impact des parasites sur le bruit introduit et sur la fréquence de coupure du comportement passe-haut. D'autre part, une étude approfondie des différents types d'électrodes, à gel ou sèches, et une adaptation de l'impédance d'entrée du système seraient nécessaires pour finaliser la conception de la partie analogique.

Le traitement numérique complet de l'ECG pour détecter l'ischémie doit comprendre de nombreuses autres fonctions que celles étudiées et implémentées dans ces travaux. Tout d'abord, il faut ajouter une élimination des autres bruits que la BW comme les bruits hautes fréquences. Une étape de détection des pics doit aussi être ajoutée pour préparer la segmentation du signal. Celle-ci utilise les coefficients de la transformée en ondelettes. Une étude, entamée durant cette thèse, des performances des différentes ondelettes en termes de détection de pics doit être finalisée pour que le choix de l'ondelette mère prennent aussi en compte cette performance.

D'autre part, il est possible d'améliorer l'implémentation de la transformée en ondelettes réalisée. Nous avons conclu, après une comparaison rapide de l'algorithme de la FWT et du *lifting* en ondelettes, que le *lifting* était trop complexe pour que l'architecture soit facilement adaptable aux différentes ondelettes. Néanmoins, la réalisation pratique de l'architecture et l'étude plus poussée de la transformée en ondelettes laissent penser que cette comparaison était trop superficielle. Une étude plus approfondie est nécessaire pour estimer si une implémentation de type *lifting* présente des avantages conséquents vis-à-vis de notre implémentation. D'autre part, il est possible de se passer de l'étape de reconstruction du signal ECG pour en extraire des informations. Pour orienter le choix du reste de la chaîne de traitement, il faudrait mettre en place une étude du compromis entre le gain en surface et la consommation d'un traitement de l'information utilisant les coefficients de la transformée en ondelettes et un traitement utilisant un signal ECG reconstruit.

Enfin une méthode de mesure du segment ST, et éventuellement d'autres paramètres, et un algorithme de décision permettant de créer des alertes doivent être conçus pour compléter ce système et permettre une détection en temps réel de l'ischémie cardiaque et, ainsi, d'essayer d'empêcher la situation de dégénérer en l'infarctus cardiaque en réagissant dès que possible.

Liste des Acronymes

ADC *analog to digital converter.*

AFE *analog front-end.*

AHA *American Heart Association.*

bpm *battements par minute.*

BW *baseline wander.*

CA *chopper amplifier.*

CCIA *capacitively-coupled instrumentation amplifier.*

CMFB *common mode feedback loop.*

DAC *digital to analog converter.*

DSL *DC servo loop.*

DWT *Discrete Wavelet Transform.*

ECG *électrocardiogramme.*

EMD *empirical mode decomposition.*

EMG *électromyogramme.*

ENOB *equivalent number of bits.*

FWT *Fast Wavelet Transform.*

IEC *Internationnal Electrotechnical Commission.*

MAC *multiplication accumulation.*

OMS *Organisation Mondiale de la Santé.*

OpAmp *operational amplifier.*

OTA *operational transconductance amplifier.*

SAR *successives approximations register.*

SNR *signal over noise ratio.*

Bibliographie

- [1] B. J.-P. LACOUR BERNARD, *Physiologie humaine*. 2016.
- [2] X. LIU, J. ZHOU, Y. YANG, B. WANG, J. LAN, C. WANG, J. LUO, W. L. GOH, T. T.-H. KIM et M. JE, « A 457 nW Near-Threshold Cognitive Multi-Functional ECG Processor for Long-Term Cardiac Monitoring », *IEEE Journal of Solid-State Circuits*, vol. 49, no. 11, p. 2422–2434, 2014.
- [3] « IEC 60601-2-25 Medical electrical equipment - Part 2-25 : Particular requirements for the basic safety and essential performance of electrocardiographs », oct. 2011.
- [4] W. H. ORGANIZATION, « The top 10 causes of death », déc. 2020. consulté en octobre 2023.
- [5] C. N. d. E. d. C. Société française de CARDIOLOGIE, *Les fondamentaux de la pathologie cardiovasculaire : enseignement intégré, système cardiovasculaire*. DFGSM 2-3 Médecine, 2e édition. éd., 2021.
- [6] J. R. HAMPTON, *The ECG made easy*. Elsevier, 2013.
- [7] « Physionet ». <https://physionet.org/>, consulté en octobre 2023.
- [8] Y. MA, B. CHEN, P. REN, N. ZHENG, G. INDIVERI et E. DONATI, « EMG-Based Gestures Classification Using a Mixed-Signal Neuromorphic Processing System », *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 10, no. 4, p. 578–587, 2020.
- [9] J. LILIENTHAL et W. DARGIE, « Spectral Characteristics of Motion Artifacts in Wireless ECG and their Correlation with Reference Motion Sensors », in *2021 43rd Annual International Conference of the IEEE Engineering in Medicine & Biology Society (EMBC)*, p. 517–521, nov. 2021. ISSN : 2694-0604.
- [10] N. VAN HELLEPUTTE, M. KONIJNENBURG, J. PETTINE, D.-W. JEE, H. KIM, A. MORGADO, R. VAN WEGBERG, T. TORFS, R. MOHAN, A. BREESCHOTEN, H. de GROOT, C. VAN HOOF et R. F. YAZICIOGLU, « A 345 μ W Multi-Sensor Biomedical SoC With Bio-Impedance, 3-Channel ECG, Motion Artifact Reduction, and Integrated DSP », *IEEE Journal of Solid-State Circuits*, vol. 50, no. 1, p. 230–244, 2015.
- [11] « Reveal XT Insertable Cardiac Monitor », 2022. <https://www.medtronic.com/content/dam/medtronic-com/us-en/hcp/diagnostics/documents/reveal-linq/reveal-linq-specifications.pdf?bypassIM=true>, consulté en octobre 2023.
- [12] « Rythme irrégulier ». <https://www.fitbit.com/global/fr/technology/irregular-rhythm> consulté en octobre 2023.

BIBLIOGRAPHIE

- [13] « Enregistrement d'un ECG à l'aide de l'app ECG sur l'Apple Watch », sept. 2022. <https://support.apple.com/fr-fr/HT208955> consulté en octobre 2023.
- [14] D. SYLVESTER, S. JEONG, Y. CHEN, T. JANG, J. M.-L. TSAI, D. BLAAUW et H.-S. KIM, « Always-On 12-nW Acoustic Sensing and Object Recognition Microsystem for Unattended Ground Sensor Nodes », *IEEE Journal of Solid-State Circuits*, vol. 53, p. 261–274, jan. 2018.
- [15] D. SYLVESTER, Y.-P. CHEN, D. JEON, Y. LEE, Y. KIM, Z. FOO, I. LEE, N. B. LANGHALS, G. KRUGER, H. ORAL, O. BERENFELD, Z. ZHANG et D. BLAAUW, « An Injectable 64 nW ECG Mixed-Signal SoC in 65 nm for Arrhythmia Monitoring », *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 2015.
- [16] Y. ZENG, Z. LI, W. CHEN, W. ZHOU, Y. BAO, Y. CHEN et Y. LI, « A 672 nW, 670 nVrms ECG Acquisition AFE with Noise Tolerant Heartbeat Detector », *IEEE Open Journal of Circuits and Systems*, p. 1–1, 2023.
- [17] S.-Y. HSU, Y. HO, P.-Y. CHANG, C. SU et C.-Y. LEE, « A 48.6-to-105.2 μ W Machine Learning Assisted Cardiac Sensor SoC for Mobile Healthcare Applications », *IEEE Journal of Solid-State Circuits*, vol. 49, no. 4, p. 801–811, 2014.
- [18] J. W. MASON, E. W. HANCOCK et L. S. GETTES, « Recommendations for the standardization and interpretation of the electrocardiogram : Part II : Electrocardiography diagnostic statement list a scientific statement from the American Heart Association Electrocardiography and Arrhythmias Committee, Council on Clinical Cardiology ; the American College of Cardiology Foundation ; and the Heart Rhythm Society endorsed by the International Society for Computerized Electrocardiology », *Journal of the American College of Cardiology*, vol. 49, no. 10, p. 1128–1135, 2007.
- [19] A. AL-FAHOUM, « Quality Assessment of ECG Compression Techniques using a Wavelet-Based Diagnostic Measure », *IEEE Transactions on Information Technology in Biomedicine*, vol. 10, p. 182–191, jan. 2006.
- [20] S. MAJI et M. J. BURKE, « Establishing the Input Impedance Requirements of ECG Recording Amplifiers », *IEEE Transactions on Instrumentation and Measurement*, vol. 69, no. 3, p. 825–835, 2020.
- [21] G. LENIS, N. PILIA, A. LOEWE, W. H. W. SCHULZE et O. DÖSSEL, « Comparison of Baseline Wander Removal Techniques considering the Preservation of ST Changes in the Ischemic ECG : A Simulation Study », *Computational and Mathematical Methods in Medicine*, vol. 2017, p. 1–13, mars 2017.
- [22] C. BÖCK, P. KOVÁCS, P. LAGUNA, J. MEIER et M. HUEMER, « ECG Beat Representation and Delineation by Means of Variable Projection », *IEEE Transactions on Biomedical Engineering*, vol. 68, no. 10, p. 2997–3008, 2021.
- [23] B. GUÉNÉGO, C. LELANDAIS-PERRAULT, E. AVIGNON-MESELDZIJA, G. SOU et P. BÉNA-BÈS, « Design of an ECG Front-End Considering ST Segment Distortion », in *2023 IEEE 14th Latin America Symposium on Circuits and Systems (LASCAS)*, p. 1–4, 2023.
- [24] Y. M. CHI, T.-P. JUNG et G. CAUWENBERGHS, « Dry-Contact and Noncontact Biopotential Electrodes : Methodological Review », *IEEE Reviews in Biomedical Engineering*, vol. 3, p. 106–119, 2010.

-
- [25] S. MAJUMDER, L. CHEN, O. MARINOV, C.-H. CHEN, T. MONDAL et M. J. DEEN, « Noncontact Wearable Wireless ECG Systems for Long-Term Monitoring », *IEEE Reviews in Biomedical Engineering*, vol. 11, p. 306–321, 2018.
- [26] A. GRUETZMANN, S. HANSEN et J. MÜLLER, « Novel dry electrodes for ECG monitoring », *Physiological Measurement*, vol. 28, p. 1375–1390, oct. 2007.
- [27] Y. GAN, W. RAHAJANDRAIBE, R. VAUCHE, B. RAVELO, N. LORRIERE et R. BOUCHAKOUR, « A new method to reduce motion artifact in electrocardiogram based on an innovative skin-electrode impedance model », *Biomedical Signal Processing and Control*, vol. 76, p. 103640, 2022.
- [28] C. ZHANG, J. WANG, L. WANG, L. LIU, Y. LI et Z. ZHU, « High Input Impedance Low-Noise CMOS Analog Frontend IC for Wearable Electrocardiogram Monitoring », *IEEE TACS*, 2020.
- [29] R. DEKIMPE et D. BOL, « ECG Arrhythmia Classification on an Ultra-Low-Power Microcontroller », *IEEE Transactions on Biomedical Circuits and Systems*, vol. 16, p. 456–466, juin 2022.
- [30] M. NAZARI et K.-S. LEE, « Fully Analog Baseline Wander Elimination Circuit For Real-Time Ambulatory ECG Recording », in *2019 IEEE 62nd International Midwest Symposium on Circuits and Systems (MWSCAS)*, p. 33–36, 2019.
- [31] Y. LI, A. L. MANSANO, Y. YUAN, D. ZHAO et W. A. SERDIJN, « An ECG Recording Front-End With Continuous-Time Level-Crossing Sampling », *IEEE Transactions on Biomedical Circuits and Systems*, vol. 8, p. 626–635, oct. 2014.
- [32] Y.-P. HSU, Z. LIU et M. M. HELLA, « A 1.8 μ W –65 dB THD ECG Acquisition Front-End IC Using a Bandpass Instrumentation Amplifier With Class-AB Output Configuration », *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 65, no. 12, p. 1859–1863, 2018.
- [33] Q. FAN, F. SEBASTIANO, J. H. HUIJSING et K. A. A. MAKINWA, « A 1.8 μ W 60 nV/ \sqrt{Hz} Capacitively-Coupled Chopper Instrumentation Amplifier in 65 nm CMOS for Wireless Sensor Nodes », *IEEE Journal of Solid-State Circuits*, vol. 46, no. 7, p. 1534–1543, 2011.
- [34] S. MONDAL et D. A. HALL, « A 13.9-nA ECG Amplifier Achieving 0.86/0.99 NEF/PEF Using AC-Coupled OTA-Stacking », *IEEE Journal of Solid-State Circuits*, vol. 55, no. 2, p. 414–425, 2020.
- [35] S. THANAPITAK, W. SURAKAMPONTORN et C. SAWIGUN, « A Micropower Chopper CBIA with DSL-Embedded Input Stage with 0.4 V EO Tolerance for Dry-Electrode Biopotential Recording », *IEEE Transactions on Biomedical Circuits and Systems*, p. 1–11, 2023.
- [36] X. XU, Y. SUO, P. ZHOU, X. HAN, Q. CAI, G. WANG, Y. LIAN et Y. ZHAO, « A 2.67G Ω 454nV_{rms} 14.9 μ W Dry-Electrode Enabled ECG-on-Chip with Arrhythmia Detection », in *2023 IEEE Custom Integrated Circuits Conference (CICC)*, p. 1–2, avril 2023. ISSN : 2152-3630.
- [37] B. MURMANN, « ADC Performance Survey 1997-2023 ». <https://github.com/bmurm/ADC-survey> consulté en septembre 2023.
- [38] M. PELGROM, *Analog-to-Digital Conversion*. Springer International Publishing, 2017.
-

BIBLIOGRAPHIE

- [39] H. SHAN, S. RAUSCH, A. JOU, N. J. CONRAD et S. MOHAMMADI, « A Low Power Programmable Dual-Slope ADC for Single-Chip RFID Sensor Nodes », in *2017 IEEE 17th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*, p. 118–120, jan. 2017. ISSN : 2474-9761.
- [40] J. WEI, X. LI, L. SUN et D. LI, « A 63.2 μ W 11-Bit Column Parallel Single-Slope ADC with Power Supply Noise Suppression for CMOS Image Sensors », in *2020 IEEE International Symposium on Circuits and Systems (ISCAS)*, p. 1–4, oct. 2020. ISSN : 2158-1525.
- [41] X. ZHAO, D. LI, X. ZHANG, S. LIU et Z. ZHU, « A 0.6-V 94-nW 10-Bit 200-kS/s Single-Ended SAR ADC for Implantable Biosensor Applications », *IEEE Sensors Journal*, vol. 22, no. 18, p. 17904–17913, 2022.
- [42] Z. ZHANG, Q. YU, J. LI, X.-Z. WANG et N. NING, « A 12-Bit Dynamic Tracking Algorithm-Based SAR ADC With Real-Time QRS Detection », *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS*, 2020.
- [43] A. SHARMA, S. B. LEE, A. POLLEY, S. NARAYANAN, W. LI, T. SCULLEY et S. RAMASWAMY, « Multi-modal smart bio-sensing SoC platform with >80dB SNR 35 μ A PPG RX chain », in *2016 IEEE Symposium on VLSI Circuits (VLSI-Circuits)*, p. 1–2, juin 2016.
- [44] R. XU, Z. GUO, X. CHENG, C. SU, C. LI et Y. WANG, « A 13-Bit High Speed Two-Step Single Slope ADC Design Method for Hundreds of Mpxiel CMOS Image Sensors », in *2022 IEEE 5th International Conference on Electronics Technology (ICET)*, p. 147–151, 2022.
- [45] J.-C. WANG et T.-H. KUO, « A 72-dB SNDR 130-MS/s 0.8-mW Pipelined-SAR ADC Using a Distributed Averaging Correlated Level Shifting Ring Amplifier », *IEEE Journal of Solid-State Circuits*, p. 1–10, 2022.
- [46] Y. HOPF, B. OSSENKOPPELE, M. SOOZANDE, E. NOOTHOUT, Z.-Y. CHANG, C. CHEN, H. VOS, H. BOSCH, M. VERWEIJ, N. DE JONG et M. PERTIJS, « A Pitch-Matched ASIC with Integrated 65V TX and Shared Hybrid Beamforming ADC for Catheter-Based High-Frame-Rate 3D Ultrasound Probes », in *2022 IEEE International Solid-State Circuits Conference (ISSCC)*, vol. 65, p. 494–496, 2022.
- [47] G. LIU, N. YU, H. ZHANG et J. HE, « A Fully Differential SAR/Single-Slope ADC for CMOS Imager Sensor », in *2019 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)*, p. 1–3, juin 2019.
- [48] C.-C. LIU, M.-C. HUANG et Y.-H. TU, « A 12 bit 100 MS/s SAR-Assisted Digital-Slope ADC », *IEEE Journal of Solid-State Circuits*, vol. 51, p. 2941–2950, déc. 2016.
- [49] M. GHASEMI, N. RAVANSHAD et H. REZAEI-DEHSORKH, « An Ultra-Low Power Level-Crossing ADC for ECG Monitoring Application », in *2020 28th Iranian Conference on Electrical Engineering (ICEE)*, p. 1–6, 2020.
- [50] X. TANG, Q. HU et W. TANG, « A Real-Time QRS Detection System With PR/RT Interval and ST Segment Measurements for Wearable ECG Sensors Using Parallel Delta Modulators », *IEEE Transactions on Biomedical Circuits and Systems*, vol. 12, no. 4, p. 751–761, 2018.
- [51] X. TANG et W. TANG, « A 151nW Second-Order Ternary Delta Modulator for ECG Slope Variation Measurement with Baseline Wandering Resilience », in *2020 IEEE Custom Integrated Circuits Conference (CICC)*, p. 1–4, 2020.

-
- [52] F. C. BAUER, D. R. MUIR et G. INDIVERI, « Real-Time Ultra-Low Power ECG Anomaly Detection Using an Event-Driven Neuromorphic Processor », *IEEE Transactions on Biomedical Circuits and Systems*, vol. 13, no. 6, p. 1575–1582, 2019.
- [53] M. JANVEJA, R. PARMAR et G. TRIVEDI, « MInSC : A VLSI Architecture for Myocardial Infarction Stages Classifier for Wearable Healthcare Applications », *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 70, p. 1159–1163, mars 2023.
- [54] O. el B'CHARRI, L. RACHID, K. ELMANSOURI, A. ABENAOU et W. JENKAL, « ECG Signal Performance De-Noiseing Assessment Based on Threshold Tuning of Dual-Tree Wavelet Transform », *BioMedical Engineering OnLine*, vol. 16, fév. 2017.
- [55] M. ZHANG et G. WEI, « An Integrated EMD Adaptive Threshold Denoising Method for Reduction of Noise in ECG », *PLOS ONE*, vol. 15, p. e0235330, juil. 2020.
- [56] M. SRAITHI et Y. JABRANE, « A Denoising Performance Comparison Based on ECG Signal Decomposition and Local Means Filtering », *Biomedical Signal Processing and Control*, vol. 69, p. 102903, août 2021.
- [57] Y.-H. CHEN, C.-W. LU, S.-W. CHEN, M.-H. TSAI, S.-Y. LIN et R.-S. CHEN, « VLSI Implementation of QRS Complex Detector Based on Wavelet Decomposition », *IEEE Access*, vol. 10, p. 134758–134768, 2022.
- [58] R. MATHURIA, V. V. K. POTLA, P. PRAJAPATI, S. GUPTA, N. KAKKIRENI et A. DARJI, « Hardware Co-Simulation of an Efficient Adaptive Filter based ECG Denoising System with Inbuilt Reference Generator », in *2022 IEEE Region 10 Symposium (TENSYP)*, p. 1–6, 2022.
- [59] J. M. BOTE, J. RECAS, F. RINCÓN, D. ATIENZA et R. HERMIDA, « A Modular Low-Complexity ECG Delineation Algorithm for Real-Time Embedded Systems », *IEEE Journal of Biomedical and Health Informatics*, vol. 22, no. 2, p. 429–441, 2018.
- [60] O. GUVEN, A. EFTEKHAR, W. KINDT et T. CONSTANDINOU, « Low-Power Real-Time ECG Baseline Wander Removal : Hardware Implementation », p. 1–4, mai 2017.
- [61] J. PAN et W. J. TOMPKINS, « A Real-Time QRS Detection Algorithm », *IEEE Transactions on Biomedical Engineering*, vol. BME-32, p. 230–236, mars 1985.
- [62] B. MISHRA, N. ARORA et Y. VORA, « Wearable ECG for Real Time Complex P-QRS-T Detection and Classification of Various Arrhythmias », in *2019 11th International Conference on Communication Systems & Networks (COMSNETS)*, p. 870–875, 2019.
- [63] C.-I. IEONG, P.-I. MAK, C.-P. LAM, C. DONG, M.-I. VAI, P.-U. MAK, S.-H. PUN, F. WAN et R. P. MARTINS, « A 0.83- μ W QRS Detection Processor Using Quadratic Spline Wavelet Transform for Wireless ECG Acquisition in 0.35- μ m CMOS », *IEEE Transactions on Biomedical Circuits and Systems*, vol. 6, no. 6, p. 586–595, 2012.
- [64] L. MARŠÁNOVÁ, A. NĚMCOVÁ, R. SMÍŠEK, M. VÍTEK et L. SMITAL, « Advanced P Wave Detection in Ecg Signals During Pathology : Evaluation in Different Arrhythmia Contexts », *Scientific Reports*, 2019.
- [65] K.-R. LEE, J. KIM, C. KIM, D. HAN, J. LEE, J. LEE, H. JEONG et H.-J. YOO, « A 1.02 μ W STT-MRAM-Based DNN ECG Arrhythmia Monitoring SoC With Leakage-Based Delay MAC Unit », *IEEE Solid-State Circuits Letters*, vol. 3, p. 390–393, 2020.
-

BIBLIOGRAPHIE

- [66] P. BERA, R. GUPTA et J. SAHA, « Preserving Abnormal Beat Morphology in Long-Term ECG Recording : An Efficient Hybrid Compression Approach », *IEEE Transactions on Instrumentation and Measurement*, vol. 69, no. 5, p. 2084–2092, 2020.
- [67] T. C. CARUSONE, D. A. JOHNS et K. W. MARTIN, *Analog Integrated Circuit Design*. John Wiley & Sons, Inc., 2012.
- [68] K. NAGARAJ, « A Parasitic-Insensitive Area-Efficient Approach to Realizing Very Large Time Constants in Switched-Capacitor Circuits », *IEEE Transactions on Circuits and Systems*, vol. 36, no. 9, p. 1210–1216, 1989.
- [69] S. MALLAT, *A Wavelet Tour of Signal Processing*. Boston : Academic Press, third edition éd., 2009.
- [70] N. HUANG, Z. SHEN, S. LONG, M. WU, H. SHIH, Q. ZHENG, N.-C. YEN, C.-C. TUNG et H. LIU, « The Empirical Mode Decomposition and the Hilbert Spectrum for Nonlinear and Non-Stationary Time Series Analysis », *Proceedings of the Royal Society of London. Series A : Mathematical, Physical and Engineering Sciences*, vol. 454, p. 903–995, 03 1998.
- [71] Y.-H. WANG, C.-H. YEH, H.-W. V. YOUNG, K. HU et M.-T. LO, « On the Computational Complexity of the Empirical Mode Decomposition Algorithm », *Physica A : Statistical Mechanics and its Applications*, vol. 400, p. 159–167, avril 2014.
- [72] L. BRECHET, M.-F. LUCAS, C. DONCARLI et D. FARINA, « Compression of Biomedical Signals With Mother Wavelet Optimization and Best-Basis Wavelet Packet Selection », *IEEE TRANSACTIONS ON BIOMEDICAL ENGINEERING*, 2007.
- [73] A. KUMAR, R. RANGANATHAM, M. KUMAR et R. KOMARAGIRI, « Hardware Emulation of a Biorthogonal Wavelet Transform-Based Heart Rate Monitoring Device », *IEEE Sensors Journal*, vol. 21, no. 4, p. 5271–5281, 2021.
- [74] A. P. NEBOJŠA MILOSAVLJEVIĆ, « ST Segment Change Detection by Means of Wavelets », in *Seminar on Neural Network Applications*, 2006.
- [75] « EURO PRACTICE | Schedules 2023 ». <https://europractice-ic.com/schedules-prices-2023/> consulté en novembre 2023.
- [76] J. HAN, Y. ZHANG, S. HUANG, M. CHEN et X. ZENG, « An Area-Efficient Error-Resilient Ultralow-Power Subthreshold ECG Processor », *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 63, p. 984–988, oct. 2016.
- [77] P. A. LYNN et W. FUERST, *Introductory Digital Signal Processing with Computer Applications*, chap. 5, p. 134. USA : John Wiley & Sons, Inc., 1989.

Annexes

A.1 Calcul de la résolution minimale requise pour la numérisation de l'ECG

La numérisation d'un signal introduit forcément une erreur due à la discrétisation des valeurs analogiques. Cette annexe étudie l'impact de cette erreur sur la distorsion du segment ST pour en déduire la résolution minimale requise pour garantir que la numérisation n'introduira pas de distorsions supérieures aux seuils donnés par la norme IEC.

Selon cette norme, la différence de niveau du segment ST introduite lors de l'acquisition doit être inférieure à $25 \mu\text{V}$ et la différence de pente inférieure à 0.05 mV/s . En première approximation, avec le signal d'étalonnage CAL20100 de la norme IEC (figure A.1) d'amplitude pic-à-pic 2 mV, il faut au minimum :

$$\log_2\left(\frac{2 \text{ mV}}{25 \mu\text{V}}\right) = 6.3 \Rightarrow 7 \text{ bits} \quad (\text{A.1})$$

Si on considère le signal CAL20000, qui a une amplitude pic-à-pic de 4 mV, on passe à 8 bits minimum.

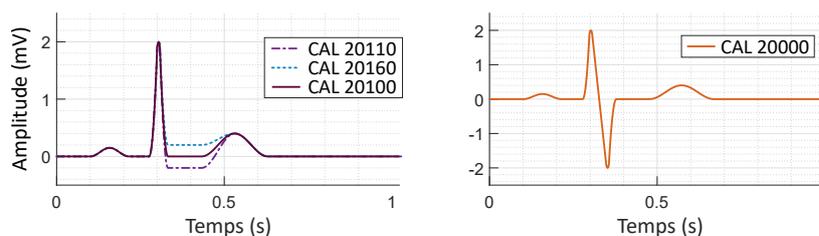


FIGURE A.1 – Signaux d'étalonnage fournis par la norme IEC [3]

Cependant, ces minima ne prennent pas en compte la potentielle déformation de pente causée par les approximations réalisées lors de la numérisation. Pour estimer cette distorsion, on s'appuie sur la méthode décrite dans la section 2.2. Elle réalise une interpolation linéaire du segment PR qui va donner la référence de la ligne de base, puis une interpolation du segment ST, et enfin réaliser la différence de ces deux interpolations au niveau du segment ST pour déterminer son niveau et sa pente. Ces deux interpolations peuvent être faussées par les approximations dues à la numérisation. Un pire cas est représenté sur la figure A.2. Des erreurs de 1 bit dues à la numérisation sont présentes sur les bords des segments et vont introduire une pente dans les interpolations.

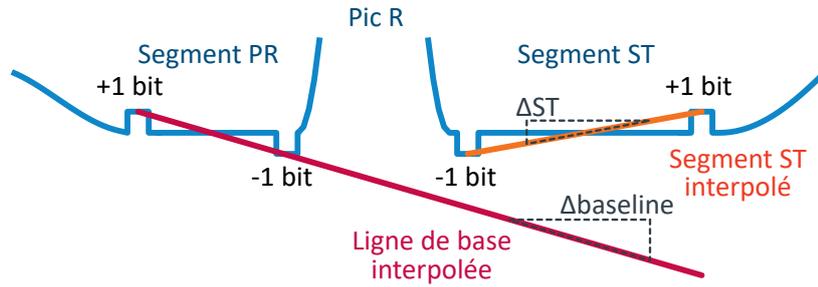


FIGURE A.2 – Exemple schématique de l'impact de la numérisation sur les interpolations des segments PR et ST

Ces pentes sont données par les équations suivantes, avec q le pas de quantification en amplitude, T_{ST} et T_{PR} les durées des segments ST et PR :

$$\Delta_{\text{baseline}} = -\frac{2 \text{ bits}}{T_{PR}} \Delta_{ST} = \frac{2q}{T_{ST}} \quad (\text{A.2})$$

et on a donc une pente mesurée dans le segment ST :

$$\Delta_{\text{pente}} = \Delta_{ST} - \Delta_{\text{baseline}} = 2q \left(\frac{1}{T_{ST}} - \frac{1}{T_{PR}} \right) \quad (\text{A.3})$$

Pour les signaux d'étalonnage donnés par la norme, on a $T_{PR} = 62$ ms et $T_{ST} = 100$ ms. Pour respecter la contrainte de distorsion sur la pente, il faut donc que :

$$\begin{aligned} \Delta_{\text{pente}} &< 0.05 \text{ mV/s} \\ 2q \left(\frac{1}{T_{ST}} - \frac{1}{T_{PR}} \right) &< 0.05 \text{ mV/s} \\ q &< \frac{1/2}{\left(\frac{1}{T_{ST}} - \frac{1}{T_{PR}} \right)} \times 0.05 \text{ mV/s} \\ &< 0.95 \mu\text{V} \end{aligned} \quad (\text{A.4})$$

De ce maximum du quantum q , on peut déduire la résolution minimale N pour une plage de tension A égale à 4 mV :

$$\begin{aligned} q = \frac{A}{2^N} &< 0.95 \mu\text{V} \\ N &> \log_2 \left(\frac{A}{0.95} \right) \text{ bits} \\ &> 12.03 \text{ bits} \end{aligned} \quad (\text{A.5})$$

Ainsi, en choisissant une résolution de 13 bits, on s'assure que la distorsion de pente introduite lors de la numérisation sera inférieure au seuil de la norme IEC. De plus, la marge entre les 12.03 bits nécessaires et les 13 bits choisis permet de numériser un signal contenant du bruit sans immédiatement saturer.

A.2 Fonction de transfert de la DC Servo Loop

Afin d'atteindre une fréquence de coupure très basse pour le comportement passe-haut de l'AFE sans avoir recours à une résistance de taille prohibitive, nous avons choisi de réaliser l'intégrateur de la *DC Servo Loop* (DSL) grâce à un circuit à capacités commutées. C'est aussi le cas dans l'article utilisé comme référence pour la conception de l'AFE [33], qui utilise un circuit décrit dans la référence [68]. Cette annexe explicite la fonction de transfert de ce circuit. L'architecture différentielle est rappelée par la figure A.3a. Pour calculer sa fonction de transfert on utilisera l'architecture équivalente illustrée par la figure A.3b.

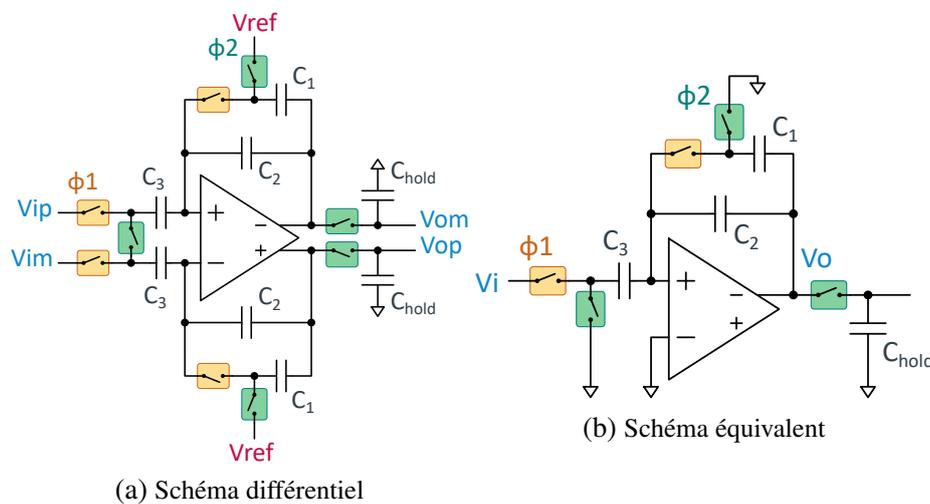


FIGURE A.3 – Intégrateur à capacités commutées

L'intégrateur à capacités commutées utilise deux phases, notées ϕ_1 et ϕ_2 . On suppose qu'au temps n , les interrupteurs sont positionnés tels que le circuit se trouve en ϕ_2 (figure A.4b). Les signes "+" grisés indiquent les sens des capacités. En notant q_i la charge contenue par la capacité C_i , on a :

$$q_1[n] = V_o[n]C_1 \quad (\text{A.6a})$$

$$q_2[n] = V_o[n]C_2 \quad (\text{A.6b})$$

$$q_3[n] = 0 \quad (\text{A.6c})$$

$$q_{hold}[n] = V_o[n]C_{hold} \quad (\text{A.6d})$$

$$(\text{A.6e})$$

Au temps $n + 1/2$, on passe en phase ϕ_1 (figure A.4a). La capacité C_1 se retrouve en parallèle

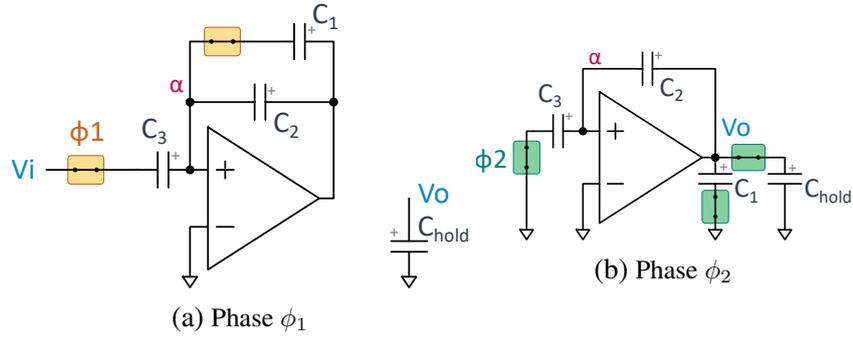


FIGURE A.4 – Architectures de l'intégrateur durant chacune des phases

avec C_2 et les charges se redistribuent entre les deux capacités. On a alors :

$$q_1[n + 1/2] = V_o[n + 1/2]C_1 \quad (\text{A.7a})$$

$$q_2[n + 1/2] = V_o[n + 1/2]C_2 \quad (\text{A.7b})$$

$$q_3[n + 1/2] = -V_i[n + 1/2]C_3 \quad (\text{A.7c})$$

Or, durant ce changement de phase, la charge totale de C_1 , C_2 et C_3 ne change pas. En effet, il n'existe aucun chemin permettant aux charges du point α de s'échapper. On peut alors écrire :

$$\begin{aligned} q_1[n + 1/2] + q_2[n + 1/2] + q_3[n + 1/2] &= q_1[n] + q_2[n] + q_3[n] \\ V_o[n + 1/2](C_1 + C_2) - V_i[n + 1/2]C_3 &= V_o[n](C_1 + C_2) \\ V_o[n + 1/2] &= V_o[n] + V_i[n + 1/2] \frac{C_3}{C_1 + C_2} \end{aligned} \quad (\text{A.8})$$

En réinjectant dans les équations A.7 on obtient :

$$q_1[n + 1/2] = q_1[n] - V_i[n + 1/2] \frac{C_1}{C_1 + C_2} C_3 \quad (\text{A.9a})$$

$$q_2[n + 1/2] = q_2[n] - V_i[n + 1/2] \frac{C_2}{C_1 + C_2} C_3 \quad (\text{A.9b})$$

$$q_3[n + 1/2] = -V_i[n + 1/2]C_3 \quad (\text{A.9c})$$

Au temps $n + 1$, on passe à nouveau en phase ϕ_2 . Les charges de la capacité C_3 sont transférées dans C_2 et l'OpAmp fournit les charges nécessaires à C_1 et C_{hold} pour adapter la tension de sortie. On a alors :

$$q_1[n + 1] = V_o[n + 1]C_1 \quad (\text{A.10a})$$

$$q_2[n + 1] = V_o[n + 1]C_2 = q_2[n + 1/2] + q_3[n + 1/2] \quad (\text{A.10b})$$

$$q_3[n + 1] = 0q_{hold}[n + 1] = V_o[n + 1]C_{hold} \quad (\text{A.10c})$$

$$(\text{A.10d})$$

En combinant les équations A.9 et A.10b on obtient :

$$\begin{aligned}
V_o[n+1] &= \frac{1}{C_2}(q_2[n+1/2] + q_3[n+1/2]) \\
&= \frac{1}{C_2}(q_2[n] - V_i[n+1/2]\frac{C_2}{C_1+C_2}C_3 + -V_i[n+1/2]C_3) \\
&= V_o[n] - V_i[n+1/2]\frac{1}{C_2}(\frac{C_2}{C_1+C_2}C_3 - C_3) \\
&= V_o[n] - V_i[n+1/2]\frac{C_3}{C_2}(\frac{C_2}{C_1+C_2} - 1) \\
&= V_o[n] + V_i[n+1/2]\frac{C_3}{C_2}\frac{C_1}{C_2}\frac{1}{1+C_1/C_2}
\end{aligned} \tag{A.11}$$

En prenant la transformée en z de cette équation, on obtient la fonction de transfert de l'intégrateur à capacités commutées :

$$H_{int}(z) = \frac{V_o(z)}{V_i(z)} = \frac{C_3}{C_2}\frac{C_1}{C_2}\frac{1}{1+C_1/C_2}\frac{z^{-1/2}}{1-z^{-1}} \tag{A.12}$$

A.3 Complexité comparée des calculs en virgule fixe et des calculs en virgule flottante

Le choix a été fait d'implémenter les calculs en virgule fixe plutôt qu'en virgule flottante pour simplifier la réalisation de l'unité MAC. Cette annexe précise la différence de complexité entre les calculs en virgule flottante et les calculs en virgule fixe ainsi que le nombre de bits nécessaires pour stocker le résultat d'une opération entre deux nombres représentés en virgule fixe.

La représentation binaire en virgule flottante d'un nombre n se compose d'une mantisse m comprise entre 1 et 2, et d'un exposant e tel que : $n = m \times 2^e$. Pour stocker ce nombre n il faudra prévoir une case mémoire contenant m et e . La précision sur n pour $e = 0$ est équivalente à celle d'un entier codé sur autant de bits que m . En faisant varier e , on peut atteindre des valeurs bien plus grandes et bien plus faibles. Cependant, cette représentation a le désavantage de requérir des calculs assez complexes. Par exemple, pour réaliser l'addition de deux nombres n_1 et n_2 , il faudra dans un premier temps comparer leurs exposants e_1 et e_2 pour pouvoir ramener les deux nombres au même exposant. À ce stade la taille des mantisses devront éventuellement être agrandies pour ne pas perdre de données à cause d'un arrondi. Alors, les mantisses pourront être additionnées. Il faut ensuite déterminer l'exposant du résultat et, au besoin, ajuster la valeur de la mantisse.

La représentation en virgule fixe d'un nombre n s'écrit aussi $n = m \times 2^e$, mais l'exposant e est fixé et n'a donc pas besoin d'être stocké individuellement avec chaque mantisse. L'exposant fixe ne permet pas de représenter une plage de valeur aussi grande que l'exposant variable mais simplifie grandement les calculs et ramène leur complexité à celle de calculs sur des entiers.

La figure A.5 donne un exemple d'opérations en virgule fixe pour une représentation sur 5 bits avec l_{fp} bits de partie fractionnaire. La position de la virgule a été précisée par un symbole virgule sur les figures pour simplifier la compréhension.

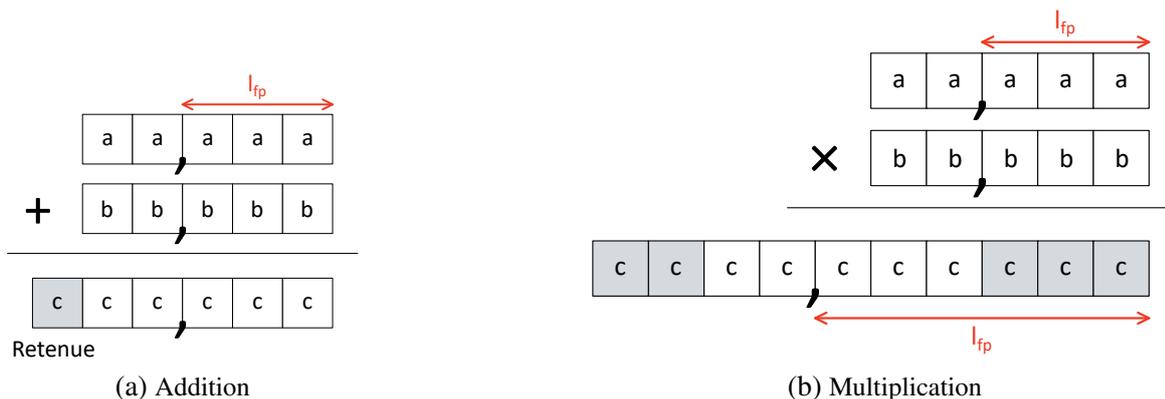


FIGURE A.5 – Opérations en virgule fixe

Lors d'une addition, l_{fp} ne change pas mais un bit de plus doit être ajouté à la partie entière en prévision de l'éventuelle retenue.

Lors d'une multiplication cependant, la longueur totale nécessaire pour stocker le résultat sans approximation est égale à somme des longueurs des opérandes. La longueur de la partie fractionnaire

nécessaire est égale à la somme des parties fractionnaires des opérandes.

Il est intéressant de noter que, s'il est nécessaire d'avoir le même l_{fp} pour l'addition, ce n'est pas le cas pour la multiplication. La complexité d'un calcul entre deux nombres ayant des l_{fp} différent est la même que dans le cas de l_{fp} identiques : il faut dans tous les cas gérer une situation où la longueur de la partie fractionnaire est supérieure à celle des opérandes.

A.4 Séquencement des opérations dans l'unité MAC

L'architecture choisie, calculant un échantillon de sortie à chaque nouvel échantillon en entrée, effectue les calculs en série. Elle a ainsi besoin d'un seul multiplicateur et un seul additionneur, rassemblés dans une unité Multiplication-Accumulation (MAC). D'autre part, l'architecture utilise une mémoire RAM simple port, c'est-à-dire qui ne peut réaliser qu'une lecture ou bien une écriture par cycle d'horloge. Le séquencement des opérations a été effectué de manière à minimiser le nombre de cycles d'horloge nécessaire pour calculer un échantillon de sortie, et minimiser le nombre d'accès à la mémoire RAM.

Cette annexe revient sur le séquencement présenté dans la section 5.2.4 avec plus de détails et décrit la gestion des cas particuliers.

Pour illustrer le séquencement, nous utilisons une FWT de profondeur 2 avec une ondelette mère ayant des filtres FIR de longueur 2.

La figure A.6 rappelle la structure de la FWT et donne les étapes réalisées en fonction du temps k . À cause des sous-échantillonnages, les valeurs de A_1 ne sont conservées que si k est pair. Les calculs de l'étape de décomposition de niveau 1 ne sont alors effectués que si k est pair. De la même manière, Déc 2 n'est effectué que si k est un multiple de 4. Dans le cas de la reconstruction, Rec 1 est effectuée à chaque temps pour obtenir la sortie. L'étape Rec 2, encore une fois à cause des sous-échantillonnages, n'est réalisée qu'un temps sur deux.

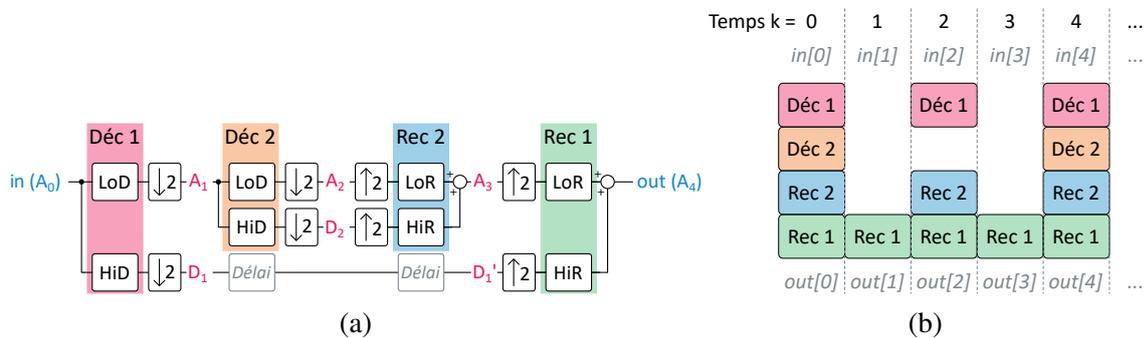


FIGURE A.6 – Étapes de traitement réalisées en fonction du temps k pour une FWT de profondeur 2

Aux temps $k = 0$ et 4, et de manière plus générale $k = 0$ modulo $2^{n_{\text{levels}}}$, on effectue toutes les étapes de décomposition et de reconstruction. Dans ces cas de figure, un séquencement des opérations dans l'unité MAC généralisé depuis celui décrit par la section 5.2.4 est réalisé. Il est détaillé par l'algorithme 2.

Dans les autres cas, des étapes ne sont pas réalisées et les transitions entre sauvegarde, décomposition et reconstruction deviennent plus complexes. Sur le modèle de la figure 5.3b, les figures A.7a et A.7b décrivent le séquencement des opérations dans le cas $k = 1$ et $k = 2$ de l'exemple.

Dans le cas $k = 1$, comme aucune étape de décomposition n'est réalisée, on passe directement à la Rec. 1 qui a besoin de A_3 et D_3 . Le *forwarding* de $A_0[1]$ est donc inutile, de même que la lecture du coefficient HiD[0]. Le cycle 1 est donc utilisé pour effectuer la lecture de la valeur $A_1[1]$ et du coefficient LoR[0] et pouvoir commencer la reconstruction au cycle suivant.

Algorithme 2 Séquencement des opérations dans l'unité MAC : cas $k \pmod{2}^{n_{\text{levels}}}$ Sauvegarde $A_0[k]$, *forwarding* de la valeur**Pour** $l = 1$ à n_{levels} **Faire** ▷ Boucle sur les niveaux, Décomposition**Pour** $j = 0$ à $n_{\text{wave}} - 1$ **Faire** ▷ Entrelacement des filtres LoD et HiD**Si** j pair **Alors**MAC de $A_l[k - j]$ et HiD[j]**Si** $j = n_{\text{wave}} - 2$ **Alors**Écriture de D_{l+1} en mémoire**Sinon**Écriture du résultat intermédiaire dans $regD$ **Fin Si****Sinon**MAC de $A_l[k - j]$ et LoD[j]**Si** $j = n_{\text{wave}} - 2$ **Alors**Écriture de A_{l+1} en mémoire, *forwarding* de la valeur**Sinon**Écriture du résultat intermédiaire dans $regA$ **Fin Si****Fin Si****Fin Pour****Fin Pour****Pour** $l = n_{\text{levels}}$ à 1 **Faire** ▷ Boucle sur les niveaux, Reconstruction**Pour** $j = 0$ à $n_{\text{wave}} - 1$ **Faire** ▷ Entrelacement des filtres LoR et HiR**Si** j pair **Alors**MAC de $D_l[k - j - \text{délai}_l]$ et HiR[$j/2$]Écriture du résultat intermédiaire dans $regA$ **Sinon**MAC de $A_{l+n_{\text{levels}}}[k - j]$ et LoR[$(j + 1)/2$]**Si** $j = n_{\text{wave}} - 1$ **Alors**Écriture de $A_{l+n_{\text{levels}}+1}$ en mémoire, *forwarding* de la valeur**Sinon**Écriture du résultat intermédiaire dans $regA$ **Fin Si****Fin Si****Fin Pour****Fin Pour**

A.5 Resynchronisation des coefficients de détail dans le cas de la transformée en ondelettes en temps réel

L'implémentation de plusieurs niveaux de *Fast Wavelet Transform* (FWT) impose la resynchronisation des coefficients de détails pour compenser le délai introduit sur les coefficients d'approximation par les filtrages des niveaux supérieurs. La figure A.8 illustre le délai à ajouter aux coefficients de détails dans le cas d'une FWT de profondeur 2.

Cette annexe généralise le calcul du délai à introduire en fonction du niveau de la transformée en ondelette et détermine donc le délai introduit par la FWT.

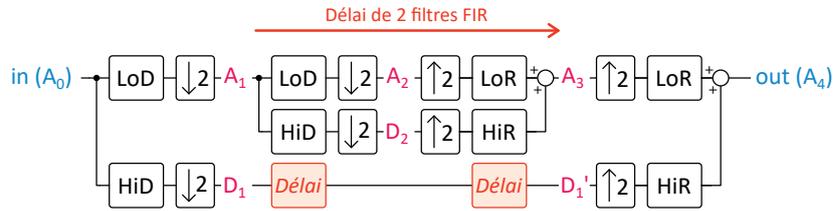


FIGURE A.8 – Resynchronisation des coefficients de détail D_1 au moyen de l'ajout de délais dans le cas d'une FWT de profondeur 2

Dans le cas d'une FWT de profondeur $n_{\text{levels}} = 2$, les opérations de sous- et sur-échantillonnages se simplifient et le délai introduit entre A_1 et A_3 est égale aux délais introduit par les filtres LoD et LoR. Comme il s'agit de filtres à réponse impulsionnelle finie (FIR) ayant n_{wave} coefficients, leur délais respectifs sont de $(n_{\text{wave}} - 1)/2$ [77]. Le délai nécessaire pour compenser les deux filtrages est donc de $n_{\text{wave}} - 1$.

Dans le cas d'une FWT de profondeur $n_{\text{levels}} = 3$, il faut introduire des délais pour resynchroniser les coefficients D_1 et D_2 (figure A.9). Dans le cas de D_2 on retrouve un cas $n_{\text{levels}} = 2$. Il faut donc deux délais de $(n_{\text{wave}} - 1)/2$. Dans le cas de D_1 , il faut évaluer le temps de traitements de 4 filtres FIR. Or 2 d'entre eux se trouvent dans une zone de fréquence différente à cause du sous-échantillonnage. Comme les filtres dans cette zone fonctionnent deux fois moins vite le délai requis pour resynchroniser les informations doit être de deux fois le délai des filtres en question, soit $2 \times (2(n_{\text{wave}} - 1)/2)$. On ajoute ensuite le délai des filtres en bleu sur la figure A.9 et obtient un délai total de :

$$\text{Délai}_1 = 2(n_{\text{wave}} - 1)/2 + 2 \times (2(n_{\text{wave}} - 1)/2) \quad (\text{A.13})$$

Par récurrence, pour les coefficients D_1 d'une FWT de profondeur n_{levels} supérieure à 2, on a :

$$\begin{aligned} \text{Délai}_1 &= \sum_{k=0}^{n_{\text{levels}}-2} 2^k 2(n_{\text{wave}} - 1)/2 \\ &= (n_{\text{wave}} - 1)(2^{n_{\text{levels}}-1} - 1) \end{aligned} \quad (\text{A.14})$$

Comme ce sont les coefficients D_1 dont la resynchronisation nécessite le délai le plus long, cette équation donne le délai maximal qu'il faut réaliser, mentionné dans le chapitre 5 par l'équation 5.5.

D'autre part, on peut généraliser cette équation pour calculer les délais requis pour les coefficients D_l avec l quelconque. On utilise pour cela l'équivalence en termes de temps de traitement

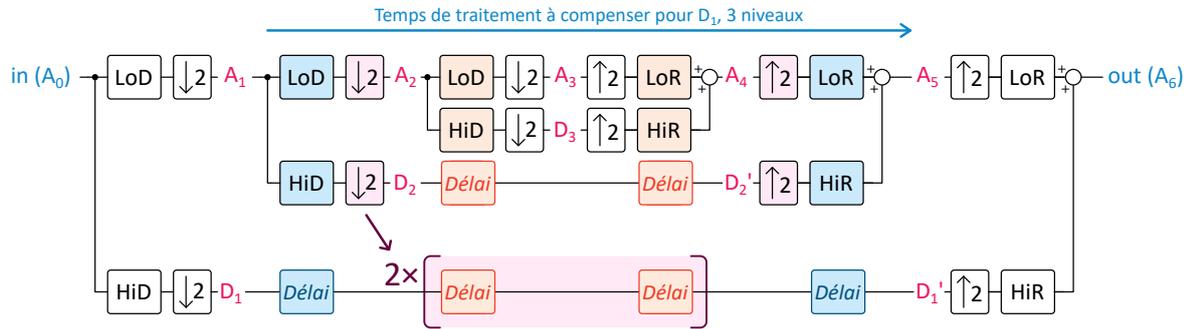


FIGURE A.9 – Resynchronisation des coefficients de détails D_1 et D_2 au moyen de l’ajout de délais dans le cas d’une FWT de profondeur 3

entre une sous-partie d’une FWT de profondeur n_{levels} et une FWT de profondeur plus faible. Sur la figure A.9, en extrayant les traitements compris entre A_1 et A_5 , on obtient une FWT de profondeur 2. Par équivalence, le délai à appliquer aux coefficients D_2 si $n_{\text{levels}} = 3$ est égal au délai à appliquer aux coefficients D_1 si $n_{\text{levels}} = 2$.

En généralisant ce principe, on obtient :

$$\begin{aligned}
 \text{Délai}_l &= \sum_{k=0}^{n_{\text{levels}}-2-(l-1)} 2^k 2(n_{\text{wave}} - 1)/2 \\
 &= (n_{\text{wave}} - 1)(2^{n_{\text{levels}}-l} - 1)
 \end{aligned}
 \tag{A.15}$$

A.6 Taille minimale de la mémoire

Le nombre de cases mémoire pour implémenter la FWT selon la méthode décrite au chapitre 5 dépend de la profondeur, de la longueur des filtres FIR et des délais à introduire pour resynchroniser les informations.

Cette annexe reprend les résultats de l'annexe A.5 ainsi que le séquençement décrit dans la section 5.2.4 et plus amplement par l'annexe A.4 pour déterminer la taille minimale de la mémoire requise pour la FWT d'une ondelette donnée. Nous utiliserons comme illustration le cas d'une FWT de profondeur $n_{\text{levels}} = 3$ de la figure A.9.

Nous avons choisi d'utiliser le principe de buffer circulaire pour stocker les différents coefficients. La taille minimale du buffer est égale au nombre de coefficients qu'il faut garder en mémoire pour pouvoir faire tous les calculs requis.

Par exemple, pour calculer un coefficient $A_1[k]$, il faut réaliser un filtrage par LoD, filtre FIR de longueur n_{wave} , de A_0 . Les valeurs nécessaires pour ce filtrage sont $A_0[k]$, $A_0[k-1]$, $A_0[k-2]$ jusqu'à $A_0[k-(n_{\text{wave}}-1)]$. Le buffer de A_0 doit donc pouvoir contenir n_{wave} valeurs.

De la même manière, tous les A_l pour l allant de 0 à 2 nécessitent un buffer de taille n_{wave} .

Pour calculer un coefficient $A_4[k]$, il faut aussi, théoriquement, n_{wave} valeurs du signal obtenu après sur-échantillonnage de A_3 , et autant du signal obtenu par sur-échantillonnage de D_3 . Or, à cause du sur-échantillonnage, une valeur sur deux de ces signaux sont égales à zéro. Il ne faut donc que $n_{\text{wave}}/2$ valeurs issues de $A_3[k]$ et autant de $D_3[k]$. Les buffers correspondants à A_3 et D_3 doivent donc pouvoir contenir $n_{\text{wave}}/2$ valeurs.

Pour calculer un coefficient $A_5[k]$ il faudra, de la même manière, $n_{\text{wave}}/2$ coefficients de A_4 et de D'_2 . Or, D'_2 est la version retardée de $n_{\text{wave}}-1$ de D_2 . Ainsi, pour calculer $A_5[k]$, il faudra les valeurs $A_4[k]$, $A_4[k-1]$, ... et les valeurs $D_2[k-(n_{\text{wave}}-1)]$, $D_2[k-(n_{\text{wave}}-1)-1]$, $D_2[k-(n_{\text{wave}}-1)-2]$ etc. Pour pouvoir accéder aux coefficients D_2 nécessaires au calcul de A_5 tout en écrivant les coefficients D_2 calculés au temps k à partir de A_1 , il faut stocker depuis l'indice k jusqu'à l'indice $k-(n_{\text{wave}}-1)-\lceil(n_{\text{wave}}-1)/2\rceil$.

Ainsi, les buffers doivent avoir les tailles suivantes :

- pour A_l , avec l allant de 0 à $n_{\text{levels}}-1$: n_{wave}
- pour A_l , avec l allant de n_{levels} à $2n_{\text{levels}}$: $n_{\text{wave}}/2$
- pour D_l , avec l allant de 1 à n_{levels} : Délai _{l} + $n_{\text{wave}}/2$

La taille minimale de la mémoire est égale à la somme des tailles de tous ces buffers, soit :

$$\begin{aligned}
\text{Taille mémoire} &= n_{\text{levels}}n_{\text{wave}} + (n_{\text{levels}} + 1)\frac{n_{\text{wave}}}{2} \\
&\quad + \sum_{l=1}^{n_{\text{levels}}} \left(\frac{n_{\text{wave}}}{2} + \text{Delay}_l \right) \\
&= n_{\text{wave}} \left(n_{\text{levels}} + \frac{n_{\text{levels}} + 1}{2} \right) \\
&\quad + n_{\text{levels}} \frac{n_{\text{wave}}}{2} \sum_{l=1}^{n_{\text{levels}}} \text{Délai}_l \\
&= n_{\text{wave}} \left(n_{\text{levels}} + \frac{2n_{\text{levels}} + 1}{2} \right) \\
&\quad + \sum_{l=1}^{n_{\text{levels}}} (n_{\text{wave}} - 1)(2^{n_{\text{levels}} - l} - 1) \\
&= n_{\text{wave}} \left(n_{\text{levels}} + \frac{2n_{\text{levels}} + 1}{2} \right) \\
&\quad + (n_{\text{wave}} - 1) \left(-n_{\text{levels}} + \sum_{l=0}^{n_{\text{levels}} - 1} 2^{n_{\text{levels}} - (l+1)} \right) \\
&= n_{\text{wave}} \left(n_{\text{levels}} + \frac{2n_{\text{levels}} + 1}{2} \right) \\
&\quad + (n_{\text{wave}} - 1) \left(-n_{\text{levels}} + \sum_{l'=0}^{n_{\text{levels}} - 1} 2^{l'} \right) \\
&= n_{\text{wave}} \left(n_{\text{levels}} + \frac{2n_{\text{levels}} + 1}{2} \right) + (n_{\text{wave}} - 1)(2^{n_{\text{levels}}} - n_{\text{levels}} - 1)
\end{aligned} \tag{A.16}$$

On notera que ces résultats supposent que n_{wave} est pair. C'est le cas pour toutes les ondelettes que nous considérons. Ces équations donnent aussi une bonne approximation pour le cas impair, et le raisonnement peut être repris pour trouver l'équation exacte.